

NON-VOLATILE MEMORY

Publication number: JP2003036684 (A)

Publication date: 2003-02-07

Inventor(s): HURST TERRIL N; PERLOV CRAIG; WILSON CAROL; TAUSSIG CARL

Applicant(s): HEWLETT PACKARD CO

Classification:

- international: G11C16/04; G11C7/00; G11C8/10; G11C17/16; G11C16/04; G11C7/00; G11C8/00; G11C17/14; (IPC1-7): G11C16/04

- European: G11C8/10; G11C17/16

Application number: JP20020164060 20020605

Priority number(s): US20010875356 20010605

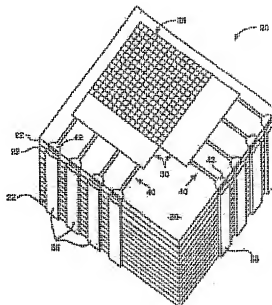
Also published as:

EP1265287 (A2)
EP1265287 (A3)
US2002196659 (A1)
US6646912 (B2)
TW556192 (B)

more >>

Abstract of JP 2003036684 (A)

PROBLEM TO BE SOLVED: To provide a low-cost data storage device for storing data for a long time and for a portable appliance. **SOLUTION:** The data storage device (22) includes a cross-point memory array (25) formed on a dielectric substrate material (50). The cross-point memory array comprises first and second sets of transverse electrodes (502, 504), and they are separated by a storage layer (75) including at least one semiconductor layer (72). The storage layer forms a non-volatile memory element (26) at each crossing point of electrodes from the first and the second sets. Each memory element can be switched between a low impedance state and a high impedance state indicating respective binary data states by applying a write-in signal in the form of the prescribed current density through the memory element. Each memory element comprises diode junction (66) formed in the storage layer, at least while in the low impedance state.



Data supplied from the esp@cenet database — Worldwide

(51) Int.Cl.
G11C 16/04

識別記号

F I
G11C 17/00

データベース (参考)

623Z 5B025

審査請求 未請求 請求項の数1 OL (全26頁)

(21) 出願番号 特願2002-164060 (P2002-164060)

(22) 出願日 平成14年6月5日 (2002.6.5)

(31) 優先権主張番号 09/875356

(32) 優先日 平成13年6月5日 (2001.6.5)

(33) 優先権主張国 米国 (US)

(71) 出願人 398038580

ヒューレット・パカード・カンパニー
HEWLETT-PACKARD COMPANYアメリカ合衆国カリフォルニア州パロアル
ト ハノーバー・ストリート 3000

(72) 発明者 テリル・エヌ・ハースト

アメリカ合衆国アリゾナ州85737, ツー
ソン, ノース・スターゲイザー・ドライブ
10640

(74) 代理人 100063897

弁理士 古谷 肇 (外3名)

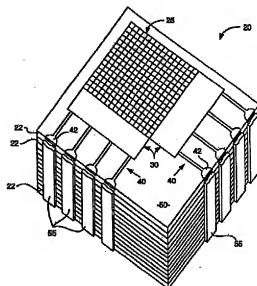
最終頁に続く

(54) 【発明の名称】 不揮発性メモリ

(57) 【要約】

【課題】 半導体機器用の低コストのメモリ長期保存用記憶装置を提供すること。

【解決手段】 誘電体基板材料(50)上に形成される交点メモリ(25)を含むメモリ記憶装置(22)が開示される。交点メモリは、第1および第2の組の横断電極(502, 504)を含み、それらが少なくとも1つの半導体層(72)を含む記憶層(75)によって分離される。記憶層は、第1および第2の組からの電極の各交点において不揮発性メモリセル(26)を形成する。各メモリセルは、そのメモリセルを介した所定の電流密度の形をとる書き込み信号を印加することにより、それぞれ二値メモリ状態を表す低インピーダンス状態と高インピーダンス状態との間で切り替えられ得る。各メモリセルは、少なくとも低インピーダンス状態である限り、記憶層内に形成されたゲイード接合(66)を含む。



【特許請求の範囲】

【請求項 1】 誘電体基板材料 (50) 上に形成される交点メモリアレイ (25) からなるデータ記憶装置 (22) であって、前記交点メモリアレイが、少なくとも 1 つの半導体層 (72) を含む記憶層 (75) によって分離される第 1 および第 2 の組の横断電極 (502、504) を含み、前記記憶層が、前記第 1 および前記第 2 の組からの電極の各交点において不揮発性メモリエレメント (26) を形成し、各メモリエレメントが、前記メモリエレメントを介して所定の電流密度の形の書き込み信号を加えることにより、それぞれ二値データ状態を表す、低インピーダンス状態と高インピーダンス状態との間で切替え可能であり、各メモリエレメントが、少なくとも前記低インピーダンス状態である限り、前記記憶層内に形成されたダイオード接合 (66) を含む、データ記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はデジタルメモリ回路の分野に関し、とりわけ、高密度、大容量および低コストのデータ記憶装置に道した不揮発性メモリ回路に関する。

【従来の技術及び発明が解決しようとする課題】

【0002】 現在、多くの民生用装置は、益々多くの量のデジタルデータを生成し、および/または利用するように構成されている。たとえば、スチール写真および/または動画用のポータブルデジタルカメラは、画像を表す大量のデジタルデータを生成する。各デジタル画像は、数メガバイト (MB) までのデータ記憶装置を必要とする場合があり、そのような記憶装置がカメラにおいて利用できなければならない。このタイプのデータ記憶装置の応用形態を提供するために、記憶メモリは、約 10 MB ~ 1 GB (ギガバイト) の十分な記憶容量を、比較的 low コストで実現しなければならない。また、記憶メモリは低電力消費 (たとえば、 $< 1 W$) で、比較的堅牢な物理的特性を有し、持ち運び可能なバッテリー駆動による環境に対処しなければならない。データ長期保存用記憶装置の場合、データは一度だけメモリに書き込まれる必要がある。メモリは短いアクセス時間 (好適には、1 msec 未満) と、適度な転送速度 (たとえば、20 MB/s) を有することが好ましい。また、記憶メモリは、PCM IC またはコンパクトフラッシュカードのような業界標準インターフェースモジュールでパッケージ化できることが好ましい。

【0003】 デジタルカメラのようなポータブル装置の応用形態のために現時点で用いられている記憶装置の一形態は、フラッシュメモリである。これは、上述のような所望の機械的堅牢性、電力消費、転送およびアクセス速度特性を満足する。しかしながら、主な欠点は、フラッシュメモリは依然として比較的高価なことである (1 MB 当たり 1.5 ~ 2 ドル)。その価格のために、保存

装置としてフラッシュメモリ記憶装置を用いることは一般に妥当ではなく、そのため、データがフラッシュメモリ装置から補助的なデータ長期保存用記憶装置に転送される必要がある。また、廉価なデジタルカメラあるいは類似のデジタル装置 (MP3 プレーヤー、PDA 等) において大量のフラッシュメモリを備えることは、法外に価格が高くなる。これは、たとえば、そのような応用形態において、ある特定の機能、たとえば廉価なデジタルカメラに映像を記録することを利用できないようにし、デジタルカメラが格納することができる画像の数、あるいは MP3 オーディオプレーヤーに格納することができる歌の数を制限するなど、他の機構の機能を低下させる可能性がある。

【0004】 また、磁気「ハードディスク」記憶装置は、ポータブル装置の場合であっても、データ長期保存用記憶装置に使用され得る。PCM IC タイプ III フォームファクタの場合、1 GB までの記憶容量を提供する小型のハードディスクドライブを利用することができる。しかしながら、そのようなハードディスクドライブも依然として比較的高価であり (1 MB 当たり 0.5 ドル)、それは少なくとも部分的には、ディスクコントローラ電子回路の固定費が比較的高いことに起因する。小型ハードドライブは、フラッシュメモリと比較すると、機械的堅牢性が低い、電力消費が大きい (~2 ないし 4 W)、アクセス時間が比較的に長い (~10 ms) などの他の欠点を有する。ハードドライブは、回転待ち時間や 1 秒以上の「起動」時間を含む欠点も有する。

【0005】 取出し可能な光記憶ディスクも同様に利用することができ、ハードディスクと比較すると 1 つの大きな利点を提供する。取出し可能な光媒体は非常に安価であり、たとえば、ミニディスク媒体の場合、1 MB 当たり約 0.03 ドルである。しかしながら、大部分の他の媒体では、光ディスク記憶装置は、磁気ハードディスクと比較すると、電力消費が相対的に大きく、機械的堅牢性が劣り、かさばり、アクセス性能が劣るなどの問題がある。

【0006】 磁気テープは、取出し可能な光ディスクより、さらに媒体コストは低いが、回転式ディスク記憶装置の他の欠点、特に物理的な大きさおよび電力消費に関する欠点を共有する。さらに、磁気テープは、シリアルアクセスに関する欠点も有する。これは、2 つのさらなる応用形態の問題点、すなわち非常に低速のランダムアクセス性能、および映像等を格納するための均一な時間圧縮技術に対する制限を引き起こす。

【0007】 写真に関する特定の応用形態の場合、プラスチックウェーブ上にハロゲン化銀感光乳剤を塗布する形の写真フィルムは、メモリの競合形態である。従来のフィルムの欠点は、処理の必要性、有効期間の制限、および物理的な大きさにある。写真フィルムへの情報記憶は本来アナログであり、デジタル処理装置および技術と直

的に相互作用するのに全く適していない。さらにボラロイド(R)の自己現像式写真フィルムの場合を除いて、格納される情報に直ちにアクセスすることができない。

【0008】本発明の実施形態は、デジタルカメラおよび他のポータブル機器用の低コストのデータ長期保存用記憶装置に関する問題に対処する。このタイプのメモリの要件は、業界標準インターフェース(たとえば、PCMCIA、またはコンパクトフラッシュ(R))、2000Gの衝撃の耐性(2000G shock tolerance)、低電力消費(<1W)、短いアクセス時間(<1ms)、速度転送速度(20Mb/s)、および十分な容量(10MB~1GB)である。

【0009】

【課題を解決するための手段】本発明の原理によれば、誘電体基板材料上に形成される交点メモリアレイを含むデータ記憶装置が提供される。交点メモリアレイは、第1および第2の組の横断電極を含み、それらが少なくとも1つの半導体層を含む記憶層によって分離されている。記憶層は、第1および第2の組からの電極の各交点において不揮発性メモリエレメントを形成する。各メモリエレメントは、そのメモリエレメントを介した所定の電流密度の形をとる書き込み信号を印加することにより、それぞれ二値データ状態を表す低インピーダンス状態と高インピーダンス状態との間で切り替えられ得る。各メモリエレメントは、少なくとも低インピーダンス状態である限り、記憶層内に形成されたダイオード接合を含む。

【0010】本発明の一形態では、誘電体基板はポリマー材料から形成される。本発明の別の形態では、誘電体基板は、表面に誘電体材料を塗布された、ステンレス鋼のような金属フィルムから形成される。

【0011】誘電体基板は、たとえば、ポリイミド、ポリエーテルスルホン(PES)、ポリアクリレート(PAR)、ポリエーテルイミド(PEI)、ポリエチレンナフタレート(PEN)、ポリエチレンテトラフルレート(PET)、ポリエーテルテトラフルレート、ポリテトラフルオロエチレン(PTFE)、ポリカーボネートおよびポリ塩化ビニル(PVC)から選択される材料から形成され得る。

【0012】記憶層は、基板材料の処理温度より低い温度で処理することができ材料から形成されることが好ましい。本発明の一形態では、記憶層のうちの少なくとも1つの半導体層は、有機半導体材料から形成される。本発明の実施形態では、有機半導体材料は、銅フタロシアン(CuPc)、PTBCI(ペリレン-3, 4, 9, 10-テトラカルボキシリクティブスベンゾイミダゾール)、PTCDA(ペリレン-3, 4, 9, 10-テトラカルボキシリクティブジアンハイドライド)、BTQBT[ビス(1, 2, 5-チアアゾゾール)-p-キ

ノビス(1, 3-ジチオール)]、TPD(N, N'-ジフェニル-N, N'-ビス(3-メチルフェニル)1-1'ビフェニル-4, 4'-ジアミン)、α-NPD(4, 4'-ビス[N-(1-ナフチル)-N-フェニル-アミノ]ビフェニル)およびTPP(5, 10, 15, 20-テトラフェニル-21H, 23H-ポルフィン)から選択され得る。

【0013】本発明の他の実施形態では、記憶層のうちの少なくとも1つの半導体層は、アモルファスシリコンまたはゲルマニウムのようなアモルファス無機半導体材料から形成される。

【0014】データ記憶装置は、第1および第2の組のメモリアレイ電極に結合されるアドレス復号回路を含み、アドレス復号回路は、第1および第2の組の電極をそれぞれアドレス指定するための第1および第2の組の入力線を有することが好ましい。第1および第2の組の入力線は、ダイオードエレメントを介して、第1および第2の組のメモリアレイの電極のそれぞれ選択された電極に結合されることが好ましい。

【0015】また、データ記憶装置は、第1および/または第2の組の各メモリアレイ電極へのダイオード接続を有する少なくとも1つのデータセンス線を含むことが好ましい。

【0016】本発明の好ましい形態では、第1および第2の組のメモリアレイ電極は、記憶層によって分離される別個の層において形成され、第1および第2の組の入力線はそれぞれ、第2および第1の組の電極と同じ層内に形成される。

【0017】好適なデータ記憶装置構造では、第1および第2の組の入力線は、記憶層によって分離される、第1および第2の組のメモリアレイ電極をそれぞれ横断するように構成される。各入力線と電極との間の選択されるダイオード接続は、その交点にある記憶層によって形成される。

【0018】データ記憶装置の好適な実施形態では、第1および第2の組のメモリアレイ電極に結合される電源ストライピング回路が設けられる。電源ストライピング回路は、各抵抗エレメントを介して結合され、かつ選択された電源ストライピング線にグループをなしてともに結合される電極の端部を含むことが好ましい。

【0019】本発明の特定の好適な実施形態は、上述のようなデータ記憶装置をそれぞれ有する複数のモジュール層を有するメモリモジュールを含む。

【0020】本発明の一形態では、モジュール層はともに積層されてブロックを形成し、各モジュール層の第1および第2の組の入力線、少なくとも1つのセンス線および電源ストライピング線との相互接続を行うために、そのブロックの少なくとも1つの外面上に電気的接点が設けられる。複数のモジュール層の各々への対応する入力線は、そのメモリモジュール内のメモリアレイを並列に

アドレス指定するために、アドレス接点に並列に接続される。

【0021】本発明によれば、単一パッケージ内に形成される複数のメモリ回路を含むメモリモジュールも提供され、各メモリ回路は、共通の非半導体基板上に製作される、不揮発性交点メモリアレイおよびアドレス復号回路を含む。

【0022】各メモリ回路は、少なくとも1つの半導体材料層を含む記憶層によって分離される、横断導体線路の第1および第2の層から形成されることが好ましい。好適な実施形態では、各メモリ回路のメモリアレイはメモリエLEMENTのマトリクスを含み、各メモリエLEMENTは、その交点における第1および第2の層からの導体線路の部分と、それらの間にある記憶層の一部とを重ね合わせることで形成される。そのメモリエLEMENTは、そのメモリエLEMENTを介した所定の電流密度の形をとる書き込み信号を印加することにより、それぞれ二値データ状態を表す低インピーダンス状態と高インピーダンス状態との間で切り替えられ得る。各メモリエLEMENTは、少なくとも低インピーダンス状態である限り、記憶層内に形成されるダイオード接合を含む。

【0023】好適な回路構造によれば、各メモリ回路のアドレス復号回路は、その交点における第1および第2の層からの導体線路の重なり合う部分の間の記憶層を介して形成される選択されたダイオード相互配線を含む。

【0024】メモリモジュールの特に好適な形態は、複数のモジュール層から構成され、各モジュール層は複数のメモリ回路のうちの少なくとも1つを有する。モジュール層はともに積層されてブロックを形成し、メモリ回路の導体線路との相互接続を行うために、そのブロックの少なくとも1つの外面上に電気的接点が設けられる。好適な実施形態では、複数のモジュール層のアドレス復号回路への入力はともに、外部の電気的接点に並列に結合される。

【0025】また、本発明は、デジタルデータメモリシステムも提供し、デジタルデータメモリシステムは、単一パッケージ内に形成される複数の不揮発性交点メモリアレイを有するメモリモジュールと、データ処理装置との相互接続のために適合したインターフェースカードとを含む。インターフェースカードは、メモリモジュールに対して、アドレス指定、書き込み、および読出しを行うための制御回路と、メモリモジュールを収容し、そのメモリアレイを制御回路に相互接続するように適合されるメモリモジュールインターフェースとを含む。

【0026】デジタルデータメモリシステムにおいて用いるためのメモリモジュールは、たとえば前述したように構成され得る。そのメモリは、たとえば、ライトワンス不揮発性メモリの形をとる永久データ記憶装置を提供することが好ましい。

【0027】

【発明の実施の形態】本発明は、好適な実施形態の説明を通して、および添付図面に関連して、単なる例示のためにより詳細に以下に説明される。

【0028】本明細書では、ライトワンスメモリ回路、記憶システム、ならびにそのような回路およびシステムの製造し、かつ実施するための方法が開示される。以下の記載では、説明の目的上、本発明を完全に理解できるようにするために、特定の学術用語および特定の実施の詳細が記載される。しかしながら、これらの特定の細部が、本発明を実施するために必ずしも必要とされないことは当業者には明らかである。

【0029】以下の説明では、「データ」という言葉が参照される場合、そのような「データ」は、その文脈に応じて種々の態様で表現される場合があることは理解されるであろう。一例として、メモリエLEMENT内の「データ」は、電圧レベル、磁気状態、あるいはたとえば、センシング回路に対する電圧または電流レベル、あるいは電圧または電流変化のような測定可能な効果を与える、電気抵抗のような物理的特性によって表される場合がある。一方、バス上に存在する間、あるいは伝送中には、そのような「データ」は、電流または電圧信号の形をとる場合がある。さらに、本明細書において、大部分の状況における「データ」は、実際には主に二値であり、便宜上、「0」あるいは「1」の状態によって表されるものとして言及される場合があるが、二値状態は実際には、相対的に異なる電圧、電流、抵抗等によって表される場合があり、一般には、具体的な実際の現れが「0」であるか、「1」であるかは重要ではないことは理解されるであろう。

【0030】ライトワンスメモリシステム以下に詳細に記載される本発明の実施形態は、とりわけデジタルカメラおよびパーソナルデジタルオーディオ装置のような機器のデータ記憶のために特に有用な携帯型で、廉価で、堅牢なメモリシステムを提供するが、当業者には、そのメモリシステムおよび種々のコンポーネント、ならびに態様を、多くの他の機器において使用できることが理解されるであろう。説明される実施形態では、そのメモリシステムは、業界標準のポータブルインターフェースカード（PCMCIAまたはCF）に組み込まれ、そのようなインターフェースを有する既存のおよび将来の製品において用いることができるようになる。

【0031】本発明の好適な実施形態にしたがって構成されるメモリカード10が、図1にブロック図の形で示される。メモリカード10は、カード10とそれが結合される装置2との間で通信を行う1/0インターフェースコネクタ12を有する。インターフェースコネクタは、インターフェースおよび制御回路14に結合され、その回路14は取外し可能なメモリエLEMENT20に接続される。メモリエLEMENT20は、いくつかの検出、書き込み許可およびアドレス指定の機能を含む、ライトワ

ンスデータ記憶装置のための回路を提供する。インターフェースおよび制御回路 14 は、カードに収容される際の取外し可能な各メモリモジュール 20 のための制御、インターフェース、検出、誤り訂正符号 (ECC) 等のための回路を含む。メモリモジュール 20 は、メモリカード内のソケット等に収容されており、そのためそこから取り外し、別のメモリモジュール 20 と置き換えることもできる。メモリカードに収容される際、メモリモジュール 20 は、内部インターフェース 16 を介して、インターフェースおよび制御回路 14 に結合される。

【0032】ライトワンスデータ記憶は、実質的に、そのメモリにデータを一度しか書き込むことができず、それ以降、データは変更されないままであることを意味する。多くの形態のライトワンスメモリでは、内部に格納されるデータが、最初に書き込まれた後に全く変更できないということが厳密には当てはまらないが、一般にはデータを勝手に変更することができないことは当業者には理解されるであろう。たとえば、大部分のライトワンスメモリは、各メモリセルが第 1 の二値状態 (たとえば、二値データ「0」を表す) で製造され、書き込み動作中に、選択されたメモリセルが、第 2 の二値状態 (たとえば、二値データ「1」を表すために) に変更される。多くの場合、第 1 の二値状態から第 2 の二値状態へのメモリセルの変化は不可逆的であり、一旦、データ「1」が書き込まれたら、そのデータをデータ「0」に戻すことはできない。これは、データがメモリに書き込まれた後に行われ得る、格納されたデータに対する変更を制限しており、この場合、任意のデータが一度しか書き込まれることができず、それ以降、たとえばデータ「0」はデータ「1」にだけ変化することができ、逆に行うことはできない。

【0033】メモリモジュール 20 はライトワンスメモリを含むため、それは長期保存用データ記憶装置に道しており、この場合データが一旦格納されれば、そのデータが保存される。これは、一度だけ写真が記録され、現像されたフィルムが永久に記録として保持される、写真フィルムにやや似ている。それゆえ、一旦、メモリモジュール 20 が最大容量までデータで満たされたなら、さらにデータを記憶するために別のモジュールが必要とされる。装置 2 内のメモリカード 10 を丸ごと単に交換することはできるが、それは、インターフェースおよび制御回路、ならびにメモリカード構造が、メモリモジュールとともに保存されることを意味する。データ記憶コストを削減するために、メモリシステムの再利用可能で比較的高価なコンポーネントが実際の記憶メモリに永久に結合されないことが望ましく、そのため、好適な実施形態では、メモリモジュール 20 はメモリカード 10 から取り出すことができる。したがって、メモリカード 10 の大部分が一度限りのコストを含み、以下にさらに説明されるように、その中に挿入するためのメモリモジュール 20 が安価に製造される。

【0034】制御/インターフェース回路 14 は、誤り訂正 (ECC) および欠陥管理機能、ならびにメモリモジュール 20 を動作させるために必要とされる機能をさらに含む、「AT」式ディスクコントローラ回路に似ている。これらの機能は、以下のことを含む。すなわち、

- ・書き込み電圧設定、書き込みインペーブル線設定、および電源ストライピングの制御を含むメモリモジュールへの書き込み、

- ・論理アドレスを、物理的なメモリの記憶場所にアクセスするために必要とされるアドレス線パターンに変換することによるメモリのアドレス指定、

- ・センス線出力のデータ読出し処理、

- ・必要とされる場合にはパラレル/シリアル変換。

【0035】また制御/インターフェース回路 14 は、データファイルの論理的削除等のような、書き換え型メモリカードのある機能をエミュレートするための機能も提供できる。インターフェース/制御回路 14 のそのような機能は、たとえば、カスタム集積回路で難く実施され得る。先に概説された必要な機能の詳細は、メモリモジュール 20 自体の構造および動作に関する以下の説明から、より完全に理解されるようになるであろう。

【0036】メモリカード 10 においてインターフェース/制御回路 14 とメモリモジュール 20 との間を結合するために、内部インターフェース 16 が設けられる。物理的には、内部インターフェース 16 はメモリモジュールを収容し、インターフェース/制御回路とメモリモジュールとの間の電気接続を提供する。したがって、プラグおよびソケット構成の適切な形態が用いられるが、最も適した構造は、作成されるべき接続部の実際の数に大きく依存する。メモリモジュール上の接続用接点、たとえば、以下に説明されるように、その外面上に形成され、エッジ接続方式あるいはランドグリッドアレイ (LGA) 接続を可能にする。さほど難しくなく実施するための多種類の接続方式が実現可能であることは当業者には理解されるであろう。

【0037】ライトワンスメモリモジュールメモリモジュール 20 は、データ記憶の単位当たりの低コストを提供するように、本発明の原理を利用して、低コストで構成される。大きな記憶容量を達成しながら、メモリコストを低く維持するために、材料および処理コストのようないくつかの要因に対処した。好適な実施形態のメモリモジュールのそのような特徴は、以下の記載において説明され、はじめにメモリモジュール 20 の一般的な構造が説明される。

【0038】図 2 には、インターフェースおよび制御回路 14 に結合されるメモリモジュール 20 の概略的なブロック図が示される。所与の基本領域に対するメモリモジュールの記憶容量を高めるために、メモリモジュール 20 は、積層された層 22 のスタック (stack) から構成さ

れる。各層2は、データ記憶を行うメモリエレメントのレイ25を有する。また、層はそれぞれ、各メモリレイを、メモリシステム内部インターフェース16を介してインターフェースおよび制御回路14に結合する多重化回路(mux/回路)30も含む。各層上のmux/回路によって、メモリモジュールの層間の相互接続導体の数を低減できるようになり、製造が容易になり、ひいてはコストが削減される。アドレス線は、その層のセンス線にメモリレイ内のどのエレメントが接続されるかを制御する。配線の数を最小限に抑えるために、アドレス線は、全ての層にわたって並列に接続されるが、各層は少なくとも1つのセンス線を含まなければならない。1つのレイ内には2つ以上のセンス線を設けることができる。たとえば、アドレス指定されたビットの状態に關して行および列電線から、あるいは行または列に接続される複数のセンス線から、冗長な情報を収集することができる。また、それぞれ共通のアドレス線および独立したセンス線を有する各層上に、複数のメモリレイを設けることもできる。また、1つのレイが、いくつかの物理層にわたって連続してもよい。書き込みプロセス中、アドレス線は、共通にアドレス指定された一連のビットに独立したデータが書き込まれるようにする書き込みインペル機として機能する。

【0039】図3および図4を参照すると、メモリモジュール層22の物理的な構成が示される。とりわけ、図3はメモリモジュール22の切開等角図であり、図4はメモリモジュールのいくつかの層22の組立分解図である。さらに図5は、コンポーネントの配置の一例を示す、メモリモジュール層22の平面図である。

【0040】層22はそれぞれ、以下にさらに詳細に説明される集積回路プロセスを用いて基板50上に形成される。メモリレイ25または複数のレイ、あるいはレイおよびmux/回路30の一部を含む。メモリレイ25は、メモリエレメント26のマトリクスからなる。mux/回路30は、メモリレイ25の直交する各エッジに隣接して配置される、列および行mux/回路部30aおよび30bからなる。また、製造プロセス中に、基板に入力/出力(I/O)リード40も形成される。メモリモジュール20において、行I/Oリード(40a)は、基板の行mux/回路30aから第1の隣接するエッジ44aまで延び、列I/Oリード(40b)は、基板の列mux/回路30bから第2の隣接するエッジ44bまで延びる。各リード40は、各接触パッド42において末端をなし、その部分が基板50のエッジ44aおよび44bにおいて露出される。

【0041】複数の層22が同じ向きに積重され(図4)、互いに積重される(図3)。電気接触は、積重された層の接触パッド42の露出された部分に対して導電性接触要素55によって行われ、それが図3の部分切開図に示される。接触要素55は、個々の層22の平面を

横切って、メモリモジュール20の側面に沿って延びる。図示のような各接触要素55は、スタック内における複数の層の個々の接触パッドと電気的に接触する。接触要素55を用いて、メモリモジュール20を、メモリシステム内部インターフェース16を介して、インターフェースおよび制御回路14に結合することができる。

【0042】メモリモジュールの好適な実施形態では、各層22のための基板50は、プラスチック(たとえば、ポリイミド、ポリエステル)あるいは金属(たとえば、ステンレス鋼)のような薄い安価な材料から形成される。基板上に集積回路(たとえば、メモリレイおよびmux/回路)が形成されるプロセス、およびメモリモジュールへ組み立てられる層が、以下にさらに詳細に説明される。しかしながら、製造プロセスおよび材料に関する先の説明は、メモリモジュール回路、特に、メモリレイおよびメモリエレメント、ならびに集積された多重化体系の1つの説明である。

【0043】ライトワンスメモリレイメモリエレメント26のレイ25は、メモリモジュール20内の各層上に形成される。メモリレイは、各行/行の交点においてメモリエレメントを有する、列線および行線の規則的なマトリクスを含む。図7は、列線60および行線62を有するメモリレイ25の一部の概略図を示す。各列線と各行線との間にはメモリエレメント26が結合され、それは、図7において、図面の拡大された部分にさらに詳細に示される。メモリレイの好適な実施形態では、各メモリエレメント26は、概してダイオードエレメント66と直列に結合されるヒューズエレメント64からなるが、特にヒューズとダイオードの機能は同じ要素によって提供され得る。ヒューズエレメント64は、メモリエレメントの実際のデータ記憶作用を提供し、一方、ダイオード要素66は、データを書き込み、かつ読み出すための行および列線を用いて、メモリエレメントのアドレス指定を容易にする。

【0044】メモリレイ25の動作は以下の通りである。製造時に、各メモリエレメント26は、導電性のヒューズエレメント64を有する。ヒューズエレメントの導通状態は、1つの二値データ状態、たとえばデータ「0」を表す。メモリレイにデータを書き込むために、データ「1」を格納することが望まれる各メモリエレメントは、列および行線を用いてアドレス指定され、その中のヒューズエレメントが「溶断され」、非導通状態になる。ヒューズエレメントの非導通状態は、他の二値データ状態、たとえばデータ「1」を表す。ほとんどの場合、ヒューズエレメントを溶断することは、不可逆的な動作であり、それにより、上述のように、メモリは「ライトワンス」記憶装置になる。データ書き込み動作(たとえば、選択されたメモリエレメントにデータ「1」を書き込むこと)は、選択された行線および選択された列線に所定の電流、たとえば、その行/列線を直接

的に相互接続するメモリエLEMENTのヒューズを溶断するに十分な電流を印加することにより実行され得る。その列および行線を用いてメモリエLEMENTをアドレス指定し、メモリエLEMENTが導通状態(データ「0」)であるか、非導通状態(データ「1」)であるかを検出することにより、メモリアレイからデータを読み出すことができる。さらに一般的には、メモリエLEMENTの二値データ状態は、「導通」抵抗と「非導通」抵抗との間のある比率により識別される。

【0045】理解されるように、上記の説明は、低抵抗状態で製造され、高抵抗状態を形成するために溶断される、メモリアレイ内のヒューズELEMENTに言及するが、反対に動作する「アンチヒューズ」ELEMENTを用いて、同様にメモリアレイを作成することもできる。その場合、メモリエLEMENTは、高抵抗状態で製造され、低抵抗状態を形成するために溶断される。各メモリエLEMENT内のアンチヒューズも、上記の理由から、ダイオードと直列に形成される。アンチヒューズが溶断された後にダイオード機能が必要とされるため、この場合、ダイオードおよびアンチヒューズは独立している。

【0046】ヒューズまたはアンチヒューズELEMENTのための必須特性は、その抵抗が、不可逆的に、またはある臨界電流閾値においては可逆的に、高状態と低状態との間で変化するすることである。抵抗の変化は十分に大きく、すなわち数桁の大きさでなければならない。ヒューズの臨界電流は、デバイスの面積によっても制御可能である。デバイスの面積は単に、行および列電極の交差部分の面積によって決定され得るか、あるいはロググラフによって測定され得る。ヒューズおよびダイオードELEMENTは、行電極と列電極との間に直列に堆積される多数の薄膜から形成され得る。個々のメモリエLEMENTは、行電極および列電極の交差部分に生じる。ヒューズおよびダイオードの層は、全面積を覆う連続した薄膜として堆積されるが、それらは、個々のデバイス間のクロストークを最小限に抑えるために、多数の手段(レーザアブレーション、フォトリソグラフィ、ソフトリソグラフィ)によってパターニングされる。

【0047】アレイの各メモリエLEMENT 26 のダイオードELEMENT 6 は、データを書き込み、かつ読み出すために、列および行線を用いて一意にそのメモリエLEMENTをアドレス指定するのを助ける。行/列の交点メモリエLEMENTにダイオードがない場合、所与の行線と行線との間にある多くのメモリエLEMENTを通る電流経路が存在することになる。しかしながら、各メモリエLEMENTを通る一方向の導電経路を形成するダイオードELEMENTを用いる場合、1つの列線および1つの行線を用いて、1つのメモリエLEMENTを一意にアドレス指定することができる。言い換えると、1つの行線から1つの列線への回路を形成することにより、電流は、1つのメモリエLEMENTのみを流れることができる。その回路

を介して所定の「データ書き込み」電流を印加することにより、メモリエLEMENT内のヒューズが溶断され、データ「0」をデータ「1」に変化させることができる。また、回路の抵抗を検出することにより、メモリエLEMENTのヒューズが溶断されたか無傷であるかを判定し、データ「1」またはデータ「0」を読み取ることができる。

【0048】したがって、ダイオード 6 は、読み出しおよび書き込み動作中にメモリアレイ内のメモリエLEMENT間のクロストークを除去する。さらに、ダイオードの非線形電流-電圧(1-V)特性が、データ検出の信号対雑音比(SNR)を改善し、リモートの読取りおよびアドレス指定を助ける。メモリモジュール内のデータは、センシング回路がインターフェースおよび制御回路 14 内にあり、その回路 14 が個別の集積回路内に収容されるため、リモートで検出される。また、メモリモジュール 20 とインターフェースおよび制御回路 14 との間が必要とされる接続の数を低減するために、以下に説明されるようなmux回路を用いて、メモリエLEMENTのアドレス指定に關して置換型ダイオードロジック(permutated diode logic)が用いられる。

【0049】メモリアレイは、本明細書における他の場所できらに詳細に説明されるその好適な構造に鑑みて、交点アレイメモリと呼ばれる場合もある。図 8 は、好適な実施形態のメモリアレイの単位セルの概略化された平面図である。交点アレイメモリの基本構造は、間隔を置いて配置される平行な導体の直交する組からなる 2 つの層を含み、その間には半導体層が配置される。2 層の導体は、厳密に 1 つの場所において、各行電極が各列電極を横切るように重なり合う行電極および列電極を形成する。これらの各交点において、半導体層(図 8 の 75)を介して、行電極(図 8 の 62)と列電極(図 8 の 60)との間に 1 つの接続部が形成され、半導体層が、直列のダイオードおよびヒューズのように作用する。アレイ内のダイオードは全て、全ての行電極と全ての列電極との間に共通の電位が印加される場合には、全てのダイオードに同じ方向にバイアスがかかるように配置される。ヒューズELEMENTは、臨界電流がそれを流れる際に回路を開く個別のELEMENTとして実現され得る、あるいはダイオードの働きに組み込まれる。

【0050】一般に本明細書では、半導体層(たとえば 75)は単層で言及されるが、実際には、種々の材料からなる複数の層が用いられ得る。それらの層は、種々の構成の金属、さらには誘電体のような半導体以外の材料を含む場合もある。所望の機能を実施するのに適した材料および構造が、他の場所ですべてに説明される。

【0051】図 9 は、交点ライトワンスダイオードメモリアレイの概略図である。その図面には、8 行×8 列のアレイが示される。図示されるように(すなわち、-V である 1 つを除く全ての列電極は電位 V であり、V であ

る1つを除く全ての行電極が $-V$ である)、行電極および列電極に電圧が印加される場合、1つのダイオードのみに順方向バイアスがかけられる。図9に示される場合、アレイの左上角のダイオード(90)のみに順方向バイアスがかけられる。一番上側の行および最も左側の列内のダイオードにはバイアスがかけられず、アレイ内の残りのダイオードには逆方向バイアスがかかる。これは、そのアレイに対するアドレス指定方式を構成する。これらの電位にある電極を有する行と列との間に電流が流れる場合には、左上のダイオードのヒューズは無傷である(たとえば、データ「0」を表す)。逆に、この構成内に電流が流れない場合には、対応するダイオード/ヒューズは溶解されている(たとえば、データ「1」を表す)。アレイ電極に印加される電圧の振幅を調整することにより、選択されたダイオードに、より多くの電流を流すことができる。この電圧によって、ヒューズの閾値電流より大きい電流が生じる場合には、ヒューズを溶解し、メモリエレメントの状態を変化させることができる。これは、メモリに書き込みを行うための方式を構成する。

【0052】メモリアレイ内のヒューズを溶解するために必要とされる実際の電流(あるいは、その電流を達成するために印加される電圧)は、製造時に予測可能であり、かつ制御可能でなければならない。有効な要因になるのはメモリエレメントを流れる電流密度であるため、エレメントを溶解するために印加される電圧/電流は、そのエレメントの接合面積を変更することにより調整される。たとえば、交点電極の交点の断面積が低減される場合には、臨界電流密度に到達してヒューズを溶解するために印加される必要がある電流/電圧も小さくなる。この方式は、制御電圧を確実に印加して所望の交点ヒューズのみを溶解できるようにするために、メモリ回路の設計および製造において用いることができる。

【0053】メモリアレイの多重化/逆多重化回路メモリモジュールに対する相互接続を簡略化するために、メモリエレメントにアクセスするための多重化されたアドレス指定方式を用いることが望ましい。言い換えると、メモリアレイ内の各メモリエレメントが、そのアレイの行線および列線の全数より少ないアドレス指定線を通じて、外部回路から一意にアドレス指定可能であることが望ましい。このため、多重化および逆多重化回路要素(30)は、メモリアレイと同じ基板上に設けられる。好適には、 $m \times n$ 回路は、メモリアレイと互換性のあるロジックファミリーから構成されるため、簡単な製造プロセスが継続される。実際に、以下に説明するように、メモリアレイで使用されるものと同じ種類の簡単なデバイスを使用して、 $m \times n$ 回路を構成することが可能である。

【0054】好適な実施形態では、アドレス多重化機能は、以下に説明される、置換型ダイオードロジックと呼

ばれるロジック方式を用いて実行される。図10は、直列のヒューズおよびダイオードによって表される1つのライトワンスメモリエレメント102を示す。メモリエレメント102は、行電極104と列電極106との間に結合される。行アドレスダイオード論理回路110は行電極104に結合され、列アドレスダイオード論理回路120は列電極106に結合される。図示のようない行アドレス回路110は、行電極とプルアップ電圧 $+V$ との間に結合される抵抗エレメント112を含む。また、行アドレス回路110は、行電極に結合されるアノードと、 X 、 Y 、 Z によって表される各行アドレス入力電圧によって制御されるカソードとを有する複数の行デコードダイオード114も含む。列アドレスダイオード論理回路120も同様に構成され、抵抗エレメント122が列電極106とプルダウン電圧 $-V$ との間に結合される。複数の列デコードダイオード124は、列電極に結合されるカソードと、 A 、 B 、 C によって表される各列アドレス入力電圧によって制御されるアノードとを有する。

【0055】最初に、行アドレス入力電圧(X 、 Y 、 Z)のために、 $+V$ および $-(V+\Delta V)$ の論理レベルが用いられる(ΔV は導通のためのダイオード閾値電圧)、行アドレス回路110を考察する。電圧 $+V$ が論理「1」を表す場合、行アドレス回路110は、入力としてダイオードカソード(X 、 Y 、 Z)を有し、出力として行電極104を有するANDゲートのように動作することは明らかであろう。行電極104は、3つ全ての行アドレス入力(X 、 Y 、 Z)が高の場合にのみ高($+V$)になる。同様に、列アドレス回路120は、負論理のANDゲート(たとえば、NANDゲート)のよう動作する。この場合、 $-V$ および $-(V+\Delta V)$ の論理レベルが列アドレス入力(A 、 B 、 C)に加えられる場合には、列電極106の出力は、3つ全ての入力が $-V$ であるときにのみ $-V$ になる。行アドレス入力(X 、 Y 、 Z)が全て、 $+V$ のカソード電圧をダイオード114に印加し、列アドレス入力(A 、 B 、 C)が全て、 $-V$ のアノード電圧をダイオード124に印加する場合には、メモリエレメント102が選択される。図10には3つの入力回路しか示されないが、このアドレス指定方式は、任意の数の入力を含むように拡張される。

【0056】 n 個のノードからなる d 個の各グループから1つのものが選択されるときに、 n 個の順列がある。それゆえ、 n 個の電極を、 d 個の各グループ内の n 個のノード中からの1つに、ダイオードを介して接続することができる。各グループ内の厳密に1つのノードに高の論理レベルが加えられる場合には、1つの電極が選択されるであろう。なぜなら、1つの電極に接続される全ての線が、それを選択するために高でなければならないが、2つの電極が同じ接続を共有することはないためである。

【0057】図11は、上述のようにメモリエlementをアドレス指定するために結合される行および列電極を有する8×8のライトワンスメモリアレイ150を概略的に示す。参照のために、メモリアレイ150の列電極はG₀～G₇と表示され、行電極はH₀～H₇と表示される。3つのアドレス指定グループが、行(X、Y、Z)および列(A、B、C)にそれぞれ設けられる。各アドレス指定グループは、2つの相補的なアドレス指定

列電極アドレスノード接続

A ₁	A ₂	B ₁	B ₂	C ₁	C ₂
G ₀	G ₄	G ₀	G ₄	G ₀	G ₄
G ₁	G ₅	G ₁	G ₅	G ₁	G ₅
G ₂	G ₆	G ₂	G ₆	G ₂	G ₆
G ₃	G ₇	G ₃	G ₇	G ₃	G ₇

【0059】

ノード(たとえば、A₁およびA₂)を有し、各ノードは8個の対応する行/列電極のうちの4つに結合される。ノードと行/列電極間の接続パターンは、各アドレス指定グループに関して異なる。図11の例では、接続パターンは以下の通りである。

【0058】

【表1】

【表2】

行電極アドレスノード接続

X ₁	X ₂	Y ₁	Y ₂	Z ₁	Z ₂
H ₀	H ₄	H ₀	H ₄	H ₀	H ₄
H ₁	H ₅	H ₁	H ₅	H ₁	H ₅
H ₂	H ₆	H ₂	H ₆	H ₂	H ₆
H ₃	H ₇	H ₃	H ₇	H ₃	H ₇

【0060】列電極と列アドレス指定ノードとの間の接続はそれぞれ、152で示されるように結合されるダイオードを含む。これらのダイオードの大部分は、不必要に複雑にしないように図11には示されない。この例におけるトポロジは、アレイ内の電極の一端に全て接続されるアドレス線を示すが、アドレス線は、電極の一端あるいは両端(アレイの側面)に容易に接続することができる。

【0061】メモリアレイ150は、アドレス指定ノード(A₁、A₂等)において電圧を印加することによりアドレス指定される。各アドレス指定グループからの1つのみのノードにおいて、イネーブル電圧が印加される。これにより、アレイ150からの1つのメモリエlementが、図10に関連して上述された態様で選択されることが可能になる。

【0062】この方式によれば、N個のメモリエlementの交点アレイは $2N^{1/2}$ 個の行および列電極を必要とする。これらの電極は、 $2d^{1/2}N^{1/4}$ 個のアドレス線によってアドレス指定され得る。ただしdはネットワークの次数である。たとえば、 10^8 個のメモリエlementは、全部で20000個の行および列電極を必要とするが、2次元ネットワーク(行のための100ノードと列のための100ノードからなる2グループ)の場合には400本の線によって、あるいは4次元ネットワーク(行のための10ノードと列のための10ノードからなる4グループ)の場合には80本の線によってアドレス指定される。

【0063】別の簡単なアプローチは単に、ある時点でpの値をとる、m個の電極のとり得る組み合わせを考察することである。組み合わせの最大数は、 $p \sim m/2$ のときに行われるであろう。簡単な組み合わせ方式の場合、m個のアドレス線によってアドレス指定される電極の数は、約 $2^m (2/(\pi m))^{1/2}$ である。

【0064】多数のメモリモジュール層にわたるアドレス指定

アドレス指定されるメモリエlementの状態を検出するための上述のシステムは、アドレス指定されるダイオードメモリエlementが、行電極と列電極との間の唯一の電流経路であることに依存する。しかしながら、並列のアドレス指定がメモリモジュールにおいて用いられる場合には、これは、行アドレス線と列アドレス線との間に2つ以上の導電経路が存在する可能性を生み出し、そのセンシング方式を用いる際に問題を生じる。したがって、アドレス指定されたメモリエlementの状態を検出するための改善された方法およびシステムが以下に提供される。

【0065】上述のように、本明細書に開示されるメモリモジュールの好適な構成は、複数の層のスタック(積層体)からなる。各層は、ライトワンスメモリアレイを含み、個々の層のメモリアレイが共通のアドレス指定線を共有し、外部回路に必要な接続の数を低減できるようにする。たとえば、メモリモジュールが、N個のメモリエlementを有するアレイをそれぞれ含むM個の層からなる、すなわち $N^{1/2}$ 個の行電極および $N^{1/2}$ 個の列電極の場合には、i番目の行およびj番目の列が1つの層上でアドレス指定される際に、それらは全ての層上

でアドレス指定される。これは2つの理由により望ましい。第1に、m個の層を並列に読み出すことができることにより、所与のシリアルビット速度を達成するために必要とされる読出しおよび書込み速度がm分の1になる。第2に、メモリの各層のために別個のアドレス線が必要とされる場合には、層間、およびメモリモジュールからインターフェースおよび制御回路への接続の数を取り扱うのが難しくなる。

【0066】並列アドレス指定の問題に対する好適な解決策は、アドレスダイオードが接続されるのと同じノードにおいて、各行電極およびまたは列電極にセンスダイオードを追加することを含む。各行センスダイオードの他の端部は、共通行センス線に接続され、同様に、各列電極に接続されるいづれ各列センスダイオードの端部は、共通列センス線に接続される。アドレス指定されるメモリエレメントの状態は、行センスダイオードまたは列センスダイオードのいずれか一方、あるいはその両方から検出され得る。好適なアレイ構成の対称性を考慮して、以下の説明から、行および列電極が実際には機能的に等価であることは理解されるであろう。

【0067】アドレス指定されるメモリビットの状態は、センス線を介して、適切に選択されたバイアス点まで流れる電流によって判定される。電流がいずれかのセンス線を通るために、2つの条件が満足されなければならない。すなわち、(1)ダイオードメモリエレメントがアドレス指定されなければならないこと、(2)そのエレメントのヒューズが高抵抗状態でなければならないことである。ダイオードがアドレス指定されない全ての他の場合には、ヒューズの状態に関係なく、対応する行および/または列のセンスダイオードに順方向バイアスがかからず、電流は流れないであろう。それゆえ、1つのセンス線が全ての行(または列)電極に接続され、行および列アレイ内の1つのメモリエレメントがアドレス指定される場合には、そのメモリエレメントの状態は明確に判定され得る。

【0068】行および列センス線を用いることにより、読出しプロセスの速度を低下させることなく、それゆえ信号検出マージンを改良することなく、冗長性が与えられる。また、行または列電極のいずれかにセンス線を追加することによって、および/またはセンス線と行または列電極との間の接続に並列に余分なダイオードを追加することによって、冗長性を追加できることに留意されたい。

【0069】図12は、上記の技術を用いるアドレス指定およびセンシング回路250の概略図を示す。ライトワンスメモリアレイからの複数のメモリエレメント260が示されており、上述のようにメモリアレイをアドレス指定するように構成される各行および列アドレス指定回路270、280に結合される。また、回路250は、共通行センス線274および共通列センス線284

も含む。共通行センス線274は、各行センスダイオード272を介して、メモリアレイ行電極のそれぞれに結合される。とりわけ、各ダイオード272は、対応する行電極に結合されるアノードと、共通行センス線に結合されるカソードとを有する。同様に、列センスダイオード282は、共通列センス線284から、メモリアレイの各列電極に結合される。ダイオード282のカソードは各列電極に結合され、そのアノードは共通列センス線に結合される。

【0070】図示の例では、中央のメモリエレメント(262)がアドレス指定される。これは、メモリエレメント262が、アドレス指定回路によって選択される行および列電極の両方に結合されるエレメントだからである。図に示されるように、メモリエレメント262はアドレス指定回路に対応し、その回路では、電圧が印加されることに起因して、その行または列アドレスダイオードがいずれも導通しない。メモリエレメント262のヒューズが溶断される場合には、センスダイオード272、282の両方を介して、行および列センス線274および284に電流が流れるであろう。中央のメモリエレメントが無傷である場合には、アレイ内における任意の他のエレメントのヒューズ状態に関係なく、いずれのセンス線にも電流は流れないであろう。その場合には、アドレス指定されたメモリエレメントに対応するセンスダイオードに電流が流れず、そのアドレス指定方式がアドレスダイオードのうちの少なくとも1つが確実に導通状態になるようにし、それにより、対応するセンスダイオードに逆方向バイアスがかけられることを保証するので、全ての他のメモリエレメントは選択されない。

【0071】アレイ内の2つ以上の行電極または列電極がアドレス指定される場合には、各メモリエレメントの少なくとも一端が、他のメモリエレメントから分離するセンス線に接続され得るという条件で、全てのアドレス指定される線の交点にあるメモリエレメントの状態が依然として判定され得る。この構成は、検出マージンを低減するという結果になる。たとえば、2つのアドレス指定される行および1つのアドレス指定される列について考えてみる。全てのアドレス指定されるヒューズが無傷である場合には、センスダイオードは、電源レールへの1つに並列な2つの抵抗、および他の電源レールへの1つのみの抵抗を介して接続されるものと考えられる。この状態を検出できるようにするために、センス線の終端にかけられるバイアスは、電源レール電圧のうちの1つの近くに調整されるべきであり、溶断されたヒューズの状態を検出する際、電流はより低く(より小さい信号)なる。これは、多数の交点アレイが同じアドレス線を共有するが、自らのセンス線を有する場合、および交点メモリのスタックの場合、あるいは多数の相互接続されない交点アレイが1つの基板上に存在する場合のように、アドレス指定される各行/列が多くても1つの他

のアドレス指定される列／行と交差する場合には問題にならない。

【0072】図13は、上述の形のアドレス指定およびセンシング回路を有する交点ダイオードメモリアレイの概略的なレイアウト図である。図示のように、列電極502および行電極504は互いに直交し、半導体層によって分離された個々の層上に形成される。ダイオードは電極の交点に形成され、交点ダイオードメモリアレイ506が形成される。図において、無傷のダイオードエレメントは個々の交点において「O」によって示され、溶断されたダイオードエレメントは「X」によって示される。図示のような交点メモリアレイはデータを格納せず、それゆえその中の全てのダイオードが無傷である。

【0073】行および列電極は、交点アレイから外側に延び、プルアップ／プルダウン抵抗508（図10では抵抗112、122に対応する）によってその端部で終端される。複数の列アドレス線510および少なくとも1つの列センス線512が、メモリアレイと終端抵抗との間で列電極と交差する。列アドレス線および列センス線は列電極と同じ導体層上に形成され、それらが列電極と交差する場所において、その間にダイオード接合が形成されるようになっている。列センス線によって形成されたダイオードエレメントは、図12のダイオード282に対応し、列アドレス線によって形成されたダイオードは、図12のダイオード280に対応する。上述のアドレス線グループ／ノード配列は、列アドレス線のエレメントのうちの選択されたエレメントを溶断し、所望のダイオード接続を無傷のままにしておくことにより形成される。アドレス指定回路のこのプログラミングは、以下に概要を述べるように、回路の製造後に仕上げられる。

【0074】行電極504は同様に、行アドレス線514および行センス線516と交差する。行アドレス線および行センス線は、列電極と同じ導体層上に形成され、行アドレスダイオード（たとえば、図12では270）および行センスダイオード（たとえば、図12では272）が形成される。

【0075】製造時に、ダイオード接合は、各列アドレス線と各列電極との間、および各行アドレス線と各行電極との間に形成される。しかしながら、上述のグループ／ノードアドレス指定方式を実施するために、アドレス指定線とアレイ電極との間に、選択されたダイオード接続のみが維持されなければならない。選択された接続の「プログラミング」は、回路製造後に、あるアドレスダイオードを溶断し、選択されたダイオード接続のみを無傷にしておくことにより仕上げられる。これは、たとえば、アレイ電極に対するダイオード接合の断面積を選択的に変更するように線幅を調整して、アドレス線を製造することにより達成される。上述のように、所与のダイオードエレメントの断面積は、臨界電流密度に到達

し、そのダイオードを溶断するために必要な印加される電圧／電流を変更するように調整される。したがって、アドレス線幅は、アレイ電極を有するある交点において幅を狭くし、そこにあるダイオードが小さい断面積を有するように調整される。その後、その回路にプログラミング電圧が印加される際に、小さい断面積を有するそれらのダイオードのみを溶断し、所望のダイオード接続を無傷のままにしておくことができる。

【0076】位置合わせに関連する実用上の理由のため、アドレス線ではなく、行電極または列電極の幅が調整されることが好ましい。アドレス線が調整される場合には、その調整は、2つの隣接するダイオードが意図せずに溶断しないように、行／列線のピッチにわたって実行されなければならない。データ線の幅の調整は、緩和された位置合わせ公差の自由を与える比較的大きな距離にわたって行うことができる。また、マトリクスの反対側から交互に行／列線を延ばすことにより、幅の調整を2倍にすることが可能になり、プログラミングプロセスにマージンを追加することに役立つ。さらに、接続の特定の構成を選択することにより、アレイの一方から延びる2つの連続した線がいずれも広げられないことを保証し、これによりさらに、プログラミングのためのマージンを大きくすることができる。最後に、アドレスおよびセンス線は、他の行および列のトレースより広くなるであろう。なぜなら、それらが、書き込み中のアドレス指定のような動作中、およびアドレスプログラミング動作中に失敗することなく、より多くの電流を伝送する必要があるためである。またそれらは、位置合わせ公差を低減するために、さらに間隔をおいて配置される。

【0077】上述の技術を用いて、検出中にアレイ内の漏れ電流を最小限に抑えることができる。たとえば、行および列電極の端部への電源接続は、グループまたはストライプに構成されることができ、アドレス指定されたメモリエLEMENTが存在するアレイの領域のみが電極に電力を供給され、残りの電極はハイインピーダンス状態に結合されている。上述の並列アドレス検出方式は、メモリアレイのアドレス指定されない部分に関して電源をオフすることによって影響を及ぼされない。電源ストライプは、配線効率を維持するために、アドレス指定方式の一部として使用される。

【0078】図14は、回路コンポーネントの相対的な配置の一例を示す。メモリモジュール600のブロック構成レイアウトを示す。メモリアレイ602は中央に配置され、その周辺部には、アドレス／センス線604、プルアップ／プルダウン抵抗606および電源ストライピングカッピング608が配置される。これらの回路の周辺部の周りには、外部相互接続を行うための接続パッド610が配置される。層600の物理的構成は著しく簡単であり、行／列電極が、アレイから、アドレス／センス回路、抵抗およびストライピング接続を介し

て、相互接続接触パッドまで延びることは上述の説明から理解されるであろう。アドレスおよびセンス線は同様に配置され、全てのダイオード回路要素は、導体交点において自動的に形成される（あるダイオードは、上述のようにプログラミングによって後に溶断される）。メモリモジュール層を示す図は、一定の縮尺ではなく、アドレス指定回路、センシング回路およびストライピング回路は図面において拡大されているが、これらの回路は一般には、層の面積の約5〜10%しか含まないことは理解されたい。

【0079】メモリモジュール層レイアウトの一部が図15にさらに詳細に示される。ここでは、列電極612および行電極613を有するメモリアレイ602の一部が示される。列電極は、列センス線614および列アドレス線616によって交差され、アドレス/センス回路604が形成される。606では、列電極内にプルアップ/プルダウン抵抗が形成される。列電極はストライプに配列され、電極のグループが、別個の電源端子608a、608bに結合される。行電極（図示せず）も同様に配列される。電源ストライピング接続は、電力を供給し、それにより、ある時点でメモリの一部（サブアレイ）のみを選択することにより、アドレス指定方式および漏れ電流を低減するための機構の一部として使用される。

【0080】アドレス線および電源線が、メモリモジュール内の全ての層に対するバスとして形成される（共通である）ものと仮定すると、データの書き込みは、各層上のビットをアドレス指定し、アクティブサブアレイ内の電源（電源ストライピングによって決定される）を、読み出しレベルから書き込みレベルにスロープすることにより実行される。しかしながら、種々のデータ状態を個々の層に書き込むことができる必要がある、これは、センス線を用いて、メモリエLEMENTのダイオード/ヒューズが保護されるべき層上の電圧をプルダウンすることにより達成される。これは、センスダイオードが、メモリアレイELEMENTを溶断することになる電流に耐えなければならないことを意味する。したがって、センスダイオードは、そこを通過する電流密度を低減するように断面積を拡大して製造される。

【0081】冗長なセンス線の別の可能な利用法は、書き込みが行われる前に、メモリの機能を検査することである。欠陥のあるメモリエLEMENTおよび/または不良なアドレス指定を明らかにするために、行および列電極の端部への電源接続の種々の状態と組み合わせ、個々のセンス線からの一貫性のない測定値から情報が恐らく収集される。この情報を用いて予備を確保するテーブルを生成することができる、それを用いて、メモリモジュールの欠陥のある領域への書き込みを回避し、それにより処理歩留まりに対する製品許容度を改善することができる。

【0082】メモリモジュール層構造

再び図3、図4、図5および図6を参照して、好適な実施形態のメモリモジュール20の物理的構造が説明される。上述のように、メモリモジュール20の好適な形態は複数の積層された層22を有し、各層はプラスチック（ポリマー）基板50上に形成されたメモリアレイを有する。ポリマー材料が基板として用いられることは不可欠ではないが、その材料は比較的低コストで製造され、処理されることができるとの好ましい。基板50は、好ましくはシート材料の形をとる、種々の市販のポリマー材料から形成され得る。基板50として使用され得る例示的なポリマー材料のリストは、以下に限定はしないが、DuPont社から市販されるKapton（R）のようなポリイミド、ポリエーテルスルホン（PES）、ポリアクリレート（PAR）、General Electric社から市販されるUltem（R）フィルムのようなポリエーテルイミド（PEI）、ポリエチレンナフタレート（PEN）、ポリエチレンテレフタレート（PET）、DuPont社から市販されるMylar（R）のようなポリエステルテレフタレート、DuPont社から市販されるTeflon（R）のようなポリテトラフルオロエチレン（PTFE）、General Electric社から市販されるLexan（R）のようなポリカーボネート、ポリ塩化ビニル（PVC）、Orice社から市販されるMelinex（R）のようなポリエステルフィルム、およびプラスチック基板上に回路を形成する技術において用いるために知られている他のそのようなポリエステルフィルムおよびポリマーフィルムを含む。その基板は、厚みが約0.1mm〜0.05mmのような、フレキシブルな「ロールツーロール」処理が可能になる薄さであることが好ましい。

【0083】メモリアレイ25およびmux/demux回路要素30は、プラスチック基板50上に金属一半導体-金属（MSM）プロセスにしたがって形成される。MSMプロセスにより、その間に半導体材料（金属および/または誘電体を含む場合もある）の1つ以上の層を有する、導電性金属回路の2つのパターン化された層がもたらされる。金属層が交差し、半導体層の両側に接触する場所において、金属層間にダイオード接合が形成される。MSMダイオード集積回路の製造は、たとえば、「X-Y Addressable Electric Microswitch Arrays and Sensor Matrices Employing Them」というタイトルの国際特許出願公開第WO99/39394号の明細書に記載される。その明細書の開示は、参照により明示的に本明細書に組み込まれる。

【0084】メモリモジュール回路の半導体層に使用される多くの種々の材料があり、その中には、上述の国際特許出願において開示されるものもある。半導体層のために有機材料および無機材料が使用され得る。無機材料は、たとえば、アモルファスシリコンおよびゲルマニウム材料を含む、類似の応用形態においてそのような材料を使用することは、光電池分野において知られてい

る。しかしながら、プラスチック基板への形成にさらに適合する、低温で処理される能力のため、無機半導体材料が好ましい場合がある。たとえば、ポリミド基板材料は約300℃までの温度での処理に耐えることができる場合があるが、PENおよびPETのような他の利用可能な基板材料は、約130～150℃の最大処理温度に制限される。したがって、所与の応用形態に対する半導体材料の選択は、選択される基板材料に依存する場合がある。一般に、約150℃未満の温度で処理される(たとえば、必要なら、堆積させてパターンニングされる)半導体材料が、最も適した基板と適合するであろう。

【0085】メモリモジュールにおいて半導体層として使用される有機材料の例は、銅フタロシアニン(CuPc)と、PTBCI(ペリレン-3, 4, 9, 10-テトラカルボキシリク-ビスベンゾイミダゾール)からなる二重層を含む。CuPcとともに使用される他の候補材料には、PTCDA(ペリレン-3, 4, 9, 10-テトラカルボキシリクジアンハイドライド)、およびBTQBT[ビス(1, 2, 5-チアジアゾロ)-p-キノビス(1, 3-ジチオール)]がある。また、層は、TPD(N, N'-ジフェニル-N, N'-ビス(3-メチルフェニル)-1,1'-ビフェニル-4, 4'-ジエチン)、 α -NPD(4, 4'-ビス[N-(1-ナフチル)-N'-フェニル-アミノ]ビフェニル)およびTPP(5, 10, 15, 20-テトラフェニル-2,1H, 2,3H-ポルフィン)からも形成される。本発明の目的のために、他の基板材料も使用されることは、当業者には明らかであろう。

【0086】図16は、メモリモジュール回路の一部の簡略化した等角図であり、その一般的な構造を示す。第1の金属層から基板50上に形成される一対の電極導体70が示される。半導体材料72, 74からなる2つの層が第1の金属層上に形成される。導体70を横切って延びる導体76が、半導体層72, 74を覆う第2の金属層から形成される。半導体材料が、第1および第2の金属層の導体70と76との間に挟まれる場所では、ダイオードエレメントが形成される。図16において、図示された半導体層は連続しているが、使用される半導体材料が、薄膜の厚みに対して低いバーク抵抗率を有し、そのため横方向漏れ電流が、電極の交点において薄膜を流れる意図した電流に対してかなりの大きさになる場合には、半導体層のパターンニングが必要とされる場合がある。

【0087】メモリアレイにおいて半導体層によって形成されるダイオードは、メモリアレイのダイオード(たとえば、図7の66)およびヒューズ(64)の両方として作用することが好ましい。この場合、半導体層は、所定の条件下で、ダイオード接合特性が不可逆的に高インピーダンス状態に変化するという点で、ヒューズ

の機能を実行しなければならない。たとえば、メモリの書き込み動作中に、ある電流密度閾値より高い、ダイオードを流れる電流密度を用いてダイオードを破壊し、その導電特性を高インピーダンスに変えることができる。このように機能することができ電極/半導体/電極の積層構造の一例は、(200nm(2000オングストローム))Au/(80nm(800オングストローム))CuPc/(80nm(800オングストローム))PTCB/(20nm(200オングストローム))BCP/(360nm(3600オングストローム))Agである。ただし、CuPcは銅フタロシアニンであり、PTCBは3, 4, 9, 10-ペリレンテトラカルボキシ-ビスベンゾイミダゾールであり、BCPはバクトロインである。

【0088】代案として、メモリアレイは「アンチヒューズ」エレメントと共に反対の極端で動作するように構成されてよく、メモリアレイは高インピーダンス状態で製造され、低インピーダンス状態を誘導するように書き込まれる。たとえば、ドープ(たとえば、p-n-iまたはn-p-i)アモルファスシリコン層構造を半導体層として用いることができ、それにより、メモリアレイは実際には、所望の場合に消去、または書き込みできるようになる場合がある。そのような構造は、たとえば、P.G.Leeconen等による「The Switching Mechanism in Amorphous Silicon Junctions」(Journal of Non-Crystalline Solids 77&80:78 (1985) p

p 1373-1382) および「Non-volatile Amorphous Semiconductor Memory Device Utilizing A Forming Voltage」というタイトルの米国特許第4, 684, 972号に記載される。それらの文献の開示は参照により特に本明細書に組み込まれる。

【0089】メモリアレイ25およびmux回路30に加えて、各メモリモジュール層22は、mux回路から基板50の隣接するエッジまで延びるI/O線40も含む。I/O線は、回路25, 30のために用いられるのと同じ金属層内に形成され得る導体である。I/O線40は、たとえばアドレス指定ノードおよびセンス線に接続され、I/O線に信号が入れられることを可能にしてメモリアレイをアドレス指定し、データの読出しおよび/または書き込みを行う。組み立てられたメモリモジュール20では、複数の層が互いの上側に積層される場所において、個々の層のI/O線のうちの選択されたI/O線が互いに結合される。たとえば、それらの層上のメモリアレイをアドレス指定するための各I/O線は、メモリアレイを並列にアドレス指定できるようにするために、層の中で共通に結合されてもよい。しかしながら、各層のセンス線は、メモリモジュールに外部から別々にアクセス可能であり、各レイヤーのデータが並列に読出しまたは書き込みできるようにする。

【0090】好適な実施形態では、メモリモジュール層

の1/10線間の接続は、メモリモジュールブロック形成体の側面を形成する層のエッジにおいて行われる。これは、層のエッジにおいて1/10線の端部を露出し、それと接触する相互接続導体を通することにより達成される。このプロセスは、メモリモジュールへの層の組み立て時に実行され、それについて以下にさらに詳細に説明される。

【0091】層製作プロセス

メモリモジュールの各層は、低コスト製品の実現を促進するように、短時間で、安価なプロセスを用いて構成されることが有利である。可撓性のポリマーまたは金属（誘電体薄膜を含む）材料の薄いウェブ基板を用いることにより、たとえば、比較的安価なロールツーロール製造プロセスが利用できるようになる。

【0092】以下に説明されるエンボスおよびリフトオフと呼ばれるウェブ処理技術は、本来、ポラロイド

(R)において固有のハロゲン化銀ベースの写真フィルムを製造するために開発された。その技術が、交点メモリアレイおよびアドレス/センス線のための行および列電極を製造するために適用されること有利である。なぜなら、それが、低コストのロールツーロールプロセスにおいてプラスチックウェブ上にサブミクロンサイズの機構を製造するための能力を有するからである。微細エンボス加工プロセスの一例は、「Directed Energy Assisted in Vacuum Micro Embossing」というタイトルの米国特許第6,007,888号に記載されており、その開示は参照により本明細書に組み込まれる。代案として、従来のリソグラフィプロセスを用いてもよいが、そのようなプロセスの現時点で最も小さい機構サイズ能力は製造環境において約25μmに制限される。

【0093】エンボス/リフトオフプロセスは、以下に参照される図17〜図23において段階毎に示される。そのプロセスは、10μmと同程度に小さな厚みを有するプラスチックウェブ700（図17）から開始する。そのプロセスの最初のステップは、ミクロンサイズの機構のパターンで基板にエンボス加工することである。そのエンボス加工は、CD-ROM射出成形プロセスのためのマスターを作成するために用いられるプロセスと類似の従来の高分解能リソグラフィプロセスを通して、その表面上に機構を画定されたロールによって実行される。図17は、エンボス加工された後のプラスチック基板700の一部を示しており、エンボス加工された機構溝702が示される。基板上にエンボス加工されたパターンは、たとえば、メモリアレイおよびアドレス/センス線回路の1つの導体層に対応する。

【0094】ウェブ700は、蒸着、スパッタリング、気相成長等を用いて導体（たとえば、金属）材料704でコーティングされる。そのコーティングは、1つの薄膜、またはスタックを形成するいくつかの薄膜からなることができる。堆積された全体的な薄膜の厚みは、エン

ボス加工された機構（702）の深さより薄い。図18は、その表面を覆う導体コーティング704を、エンボス加工された機構702内に堆積した後のウェブ700を示す。堆積プロセスの性質により、プラスチックが不均一にコーティングされ、エンボス加工された機構の側壁が、ウェブの表面に平行な表面より薄いコーティングを有する。これは、その後に行われるリフトオフステップのために重要である。

【0095】リフトオフステップでは、感圧性粘着剤

（図示せず）をコーティングされた第2のプラスチックフィルム706が、第1のウェブ700のコーティングされた表面と接触する。第2のフィルムは、コーティングがエンボス加工された機構702内に入り込んだ場所を除く、全ての場所においてコーティング704に接着する。その後、第2のフィルムは、図19に示されるように剥離され、エンボス加工された領域内に入り込んだ部分708を除いて、第1の基板からコーティング704を除去する。このプロセスは2つの要因に依存する。第1の要因は、感圧性粘着剤が、コーティング704が堆積された機構の側壁としては十分に薄く、それにより、エンボス加工された凹部702からコーティング部分708を引っ張り出すのではなく、これらの領域が割れるという要件である。

【0096】この時点で、プラスチック基板に付着された2つの利用可能なパターンニング済み導電性薄膜が存在する。図20は、エンボス加工された基板700上にリフトオフ後に残されるパターンニングされたコーティング708を示す。エンボス加工された機構からのパターンニングされた導体708を、プラスチック基板から突出させることが望ましい場合には、さらなるリフトオフを用いることができる。この任意選択のリフトオフの第1のステップは、エンボス加工された基板700の表面に、プラスチック材料の等角コーティング710を適用することである。このステップの結果が図21に示される。このステップでは、二次的なプラスチック材料710がパターンニングされた機構に流れ込み、残っているパターンニングされた導体708の露出した表面に付着する。図22に示されるように、プラスチック層710が、エンボス加工された基板700から剥離される時、その層710が、それとともにパターンニングされた導体708を引っ張る。図23は、その表面から突出しているパターンニングされた導体708を有する（反転した）二次的なプラスチック基板710を示す。

【0097】上述のエンボス/リフトオフプロセスを用いて、各メモリモジュール層のために2つの別個の導体層を形成することができる。その後、メモリモジュール層（2）は、2つの導体層間に半導体層を挟むことに

より完成され得る。たとえば、先に説明したように、ダイオード接合およびヒューズ機能を提供するための材料からなる適切な層が、1つの基板上の導体パターンにわたって配置され、次いで半導体層の露出した表面と物理的に接触する他の基板上の導体パターンにわたって配置され得る。そのようなプロセスが、図24、図25および図26に概略的に示される。

【0098】図24では、エンボス/リフトオフプロセスを用いて別々に作成され得る2つの副層(sub-layer) 802および804が示される。副層802は、メモリ回路のための導体層のうちの1つを形成することになる、基板806上に形成された第1の導体配列808を含む。たとえば、導体配列808は、接触パッドおよびそれに関連するキャプリングとともに、列電極、行アドレス線および行センス線を含むことができる。副層804は、基板810上に形成された第2の導体配列812を含む。第2の導体配列は、行電極、列アドレス線、列センス線、ならびに接点および接続部を含むことができる。

【0099】第1の副層802の基板806上の第1の導体配列にわたって堆積される、ダイオード接合およびヒューズ機能を形成するための半導体層(814)が図25に示される。これは、第1の導体配列と半導体層の片側との間の電気的接点を形成する。その後、第2の副層804が、第2の導体パターンが半導体層の他の側と接触するように、堆積された半導体層の上側に反転して配置される。第1および第2の副層の電極導体は、互いに横切って(たとえば、直交して)配置され、上述のような交点接合を形成する。回路構造は全て、交点ダイオードと、その間にある記録とから形成されるため、第1の副層と第2の副層との間の密着な位置合わせ公差は必要ではない。これにより、図26の820に示される完成したメモリモジュール層が形成される。その後、複数のそのような層が、以下に説明されるようにメモリモジュールに組み立てられ得る。

【0100】半導体層材料の実際の選択に応じて、副層は、接着剤の形態として機能する半導体材料を用いて、互いに結合され得る。相互する副層と非常に強固に結合することができる小さな分子量の半導体材料が示されてきた。代案として、プラスチック基板材料が用いられる場合、プラスチック副層材料は、加熱によって互いに結合されてもよい。

【0101】以下に続くメモリモジュール組み立ての説明から、より完全に理解されるように、接触パッド(たとえば、図5の42)は、メモリモジュール内の層間の配線をより容易に位置合わせできるようにするために、横方向に比較的大くされることが望ましい。しかしながら、上述のエンボス/リフトオフ手順では、エンボス加工された領域において導体層(708)にリフトオフフィルム(706)を付着することなく作成され得る。エ

ンボス加工される領域の幅には制限がある。したがって、そのような問題点を回避するために、接触パッドは一連の交差した導体(1つの導体層上にある)から形成されることが好ましい。

【0102】メモリモジュール製作プロセス
メモリモジュール20の構成は、メモリの多数の層を、相互接続される3次元記憶モジュールに積層することを含む。メモリを製作するために用いられるプロセスに応じて、その積層は、共通の基板に多数のクロスバー層を堆積することにより実現され得るが、またはそれ自体の薄い基板上にそれぞれ製作される完成した層(上述の層のような)を積層することにより実行され得る。Thomson-CSFに譲渡された米国特許第5,640,760号は、後者の構成方法を取り扱う。積層および配線技術はIrvine Sensors Corporation (Costa Mesa, California)からも提供されており、そのプロセスの態様は、たとえば、米国特許第5,424,920号、第5,701,233号および第5,953,588号に記載される。また積層および配線技術は、3D Plus (Buc, France)からも提供される。

【0103】図27は、上述のような複数の層22から、本発明の一実施形態にしたがってメモリモジュール20を構成するためのプロセス400の一般的なステップを示す。プロセス400は、プラスチック基板406上に形成されるメモリアレイおよびアドレス指定回路404を含む、製造された集積回路層402から開始する。また、層402は、回路404の入力および出力ノードから、それぞれ直線的に配置された接触パッド410まで延びる相互接続リード408も有する。層402はさらに、基板406を貫通して形成される位置合わせアパーチャ412も含む。層402は、メモリモジュールへの組み立て工程に渡される前に、その上の回路が十分に機能することを確実にするために検査されることが好ましい。

【0104】プロセス400の次の段階では、複数の層402が、位置合わせアパーチャ412を通過して延びる位置合わせリード422を用いて、互いに位置合わせされて互いの上面に積層され、層420のスタックが形成される。スタック420は、全てが同じ向きに配列された複数の同一の層402からなることができる。たとえば、約50枚までの層を用いてスタック420を形成できる。そのスタックの層は、エポキシ樹脂材料等を用いて互いに積層され、それらの位置合わせされた配列で層が固着され、シールされたブロック430が形成される。

【0105】高精度の鋸または他の適切な切断器具を用いて、図に432で示される線に沿って端部および側面がブロック430から切断される。図のスタック420の上側層上に示されるように、ブロック430が切断される面は、接触パッド410の線を通して延び、それに

より、切断されたブロックの側面において、積層されたスタック内の各層から接触パッド410の端面が露出する。切断手順後のブロックが440で示されており、各層からの接触パッド410の露出した端面が示される。簡略化された図面内の機構は相対的な縮尺通りに示されているわけではなく、露出した接触パッド部分のようないくつかの機構は、説明の目的上、誇張されていることは理解されるであろう。

【0106】切断されたブロック440は、ニッケル／アルミニウム合金のような導電性金属被覆でめっきされ、めっきされたブロック450が形成される。金属被覆は、めっき前に切断されたブロック440の側面において露出された接触パッド410の端面と電気接続する。最後に、たとえば、レーザ磨削プロセスを用いて、めっきされたブロック450から金属被覆の部分が除去される。金属めっきの残りの部分462は、そのブロック内の個々の層の接触パッド間の所望の相互接続を提供する。金属めっきは、たとえば、メモリモジュール層のアドレス指定入力間の共通接続と、1/0センス線等への別個の接続とを提供するために、任意の所望の態様でパターンニングされ得る。完成したメモリモジュール20が460で示されており、残りの金属めっき部分462の外周が、図1のインターフェースおよび制御回路14のような外部回路とのインターフェースのための電気的接点を提供する。

【0107】いくつかの応用形態において、好適な実施形態のメモリシステムによって、約200Mb/sの転送速度が可能になるが、個々のビットの読出しは、リモート検出およびアレイのキャパシタンスに起因して、比較的遅く（～10μs）なる場合がある。メモリモジュールは多数の交点メモリ層からなるため、データワードは各層からのビットから構築されることができ、その際、各ビットは、同じ並列アドレス線によってアドレス指定されている。別のアドレスは、個々の交点メモリ層を細分し、層当たり2ビット以上のビットを読み出すことである。システム要件が、転送速度の目標を満足するために、大量のビットが並列に、かつ同時に読み出されることを要求する場合、メモリモジュールとホストカードとの間に必要とされる配線の数があまりに多すぎて、信頼性のあるインターフェースを実現できない場合がある。この場合、メモリモジュールは、いくつかの検出およびシリアルパラレルシリアルデータ変換を実行するための回路を用いて構成されてもよい。そのプロセスにおいてFET技術が用いられる場合には、これは、適切な回路を構成することにより、簡単に達成され得る。そうでなければ、メモリモジュールに集積回路を含めることができるが、製造コストが嵩むため、そのようなアプローチは望ましくないかもしれない。

【0108】全般的な考察

本明細書で説明されるメモリシステムは、デジタルメ

ラ（スチール写真および／または映像）、デジタル音楽プレーヤ／レコーダ（たとえばMP3プレーヤ）、パーソナルデジタルアシスタント（PDA）、移動電話等のような、データ記憶装置を必要とするポータブル機器に特に適するように製作される、いくつかの特徴を有する。そのメモリシステムは、そのような機器に有用であるほどの十分な容量のデータ記憶装置を提供することができる、比較的低コストで製造され得る。データをメモリに書き込むことができ、その後、永久的に格納される。したがって、大容量の記憶装置（たとえば、100MB～1GBより大きい）が、ポータブル機器において用いられる永久的な保存データ記憶装置用に低コスト（たとえば、約5ドル未満）で提供され得る。

【0109】データ記憶装置は、安価な材料および処理技術を用いることにより低コストで製造されるメモリモジュールによって提供される。メモリモジュールは、交点メモリアレイをそれぞれ有する複数の層から形成される。多くの層は積層されて単一のメモリモジュールを形成し（たとえば、60層程度までの層がコンパクトフラッシュ（R）カード内に適合できる）、メモリモジュールが、1つの層上で実現可能なデータ記憶の何倍もの記憶容量を有することが可能になる。各層は、ポリマー、または誘電体のコーティングされた金属のような安価なフレキシブル基板上に形成される。これは、従来の単結晶シリコン基板より非常に安価であり、比較的短時間で、安価な製造プロセスを用いることを可能にする。各層上に形成された回路は、交点メモリアレイおよび関連するアドレス指定回路を含み、構造的に単純になるように設計され、単純な製造プロセスを可能にする。とりわけ、メモリアレイおよびアドレス指定回路は、メモリアレイおよびアドレス指定回路の両方が同じ簡単なプロセスを用いて製造できることを可能にする。置換型ダイオードロジック方式にしたがって設計される。

【0110】各メモリモジュール層は、それぞれの層に配置される2組の電極導体を有し、それらの電極導体の間に半導体層を有する。電極は、直交するマトリクスで配置され、交差する電極の各対の交点において、半導体材料内にメモリエレメントが形成される。半導体層は、プラスチック基板と適合するように低温処理を可能にし、半導体層は、アモルファスシリコン材料とすることができ、または1つ以上の有機半導体材料から構成され得る。半導体層によって分離される電極層が交差する場所では、整流接合が、2つの電極導体間に形成される。各整流接合は、ヒューズエレメントと直列なダイオードと見なすことができ、そのような接合は、メモリアレイと、置換型ダイオードロジックアドレス指定回路との根幹をなす。

【0111】メモリモジュール層は、簡単で、安価な処理を用いて製作される。可換性のプラスチック基板または金属基板を利用して、層上に回路を製造する際に、ロ

ールツーロール処理が可能になる。アドレス指定回路内のダイオードロジックによって、1つの基板上にメモリアレイとアドレス指定回路とを製造する際に、同じプロセスを使用することが可能になる。その回路への外部接続を行うために、接触パッドおよび導体もその基板上に形成される。複数の層が互いの側に積重され、互いに積層される。その後、メモリモジュールは、メモリモジュール層のエッジにおいて接触パッドとの電気的に接続する外部接触線路を形成し、パターニングすることにより完成する。これらの接触線路は、各層上の回路を互いに結合し、外部回路への接続を提供する。

【0112】メモリモジュールの各層上に収容されるアドレス指定回路によって、各層のメモリエレメントに対して読出しまたは書込みを行うために必要とされる、外部からアクセス可能なアドレス指定線の数を低減するのが容易になる。これにより、メモリモジュール内の層間の配線、および大容量記憶モジュールのための外部回路への配線を取り扱いやすい敷けることができる。また電源ストライピングが用いられ、ある時点で、メモリアレイの一部にのみ電源が供給される。これは、メモリアレイのアドレス指定方式の一部を構成することができ、データ読出し中のアレイ内の濡れ電流も低減される。

【0113】インターフェースおよび制御回路は、メモリモジュールから分離し、たとえば、従来の集積回路の形で構成される。インターフェースおよび制御回路は、メモリモジュールに加えられるべきアドレス指定信号を生成するためのアドレス指定回路と、格納されたデータを読み出すためのセンシング回路とを含む。その検出方式は、電荷ではなく電流レベルに基づいており、それにより、センシング回路が、メモリモジュールからリモートでより容易にデータを読み出せることが可能になる。さらに、そのデータ記憶装置は、メモリエレメントのヒューズが溶解される場合の大きな抵抗の変化に基づいており、それにより比較的大きなセンシング信号が供給される。

【0114】メモリモジュール内のデータ記憶装置は、インターフェースおよび制御回路から分離しているもので、メモリモジュールは、それが記憶容量に達したときに交換されることができ、同じインターフェースおよび制御回路で別のメモリモジュールを用いることができる。これは、より多くのデータ記憶が必要とされる際に、メモリシステムの最も再利用可能なコンポーネントを交換する必要がないことを意味する。またインターフェースおよび制御回路は、メモリモジュール製作プロセスによって制限されないで比較的複雑にすることができ、それはメモリシステムの一部だけのコストを意味するため比較的高価にすることができ、これは、インターフェースおよび制御回路に精巧な限り検出および訂正機能を設けることにより利用されることができ、それにより、メモリシステムはリモートでの検出（センシ

ング）にもかかわらず、誤りへの耐性を有することができるようになり、また不完全に製造されたメモリモジュールに対処し、それにより不完全な製造プロセスの生産物からの使用可能なメモリモジュールの数を増やすことができる。

【0115】フラッシュメモリと比較すると、好適な実施形態のメモリシステムは、低コスト、より大きな体積密度、および性能に関する利点を有する。そのようなメモリシステムは、従来の写真へとするフィルムに相当するものをデジタル写真に対して提示する。その材料および製造コストは、メモリモジュールが消耗品として受け入れられるほど十分に安い。不可逆的な書込みプロセスは、従来の写真の場合のネガのように、写真の永久保存を提供する。これはフラッシュメモリの場合にはそうではなく、ユーザが補助的な保存媒体を選択し、データをその媒体に転送する必要がある。好適な実施形態のメモリシステムによって提供されることができ、大容量の記憶密度によって、十分なメモリがコンパクトなフォームファクタに収められることが可能になり、それにより、デジタル写真の場合に、映像のような新しい利用形式が可能になる。前述のような他の記憶形態（ハードディスク、取出し可能光ディスク、またはテープ）と比較すると、本発明のメモリシステムとフラッシュメモリとは、機械的な堅牢性、低電力消費、コンパクト性、および高速アクセスに関して同じ利点を共有する。

【0116】本発明の好適な実施形態に関する上述の詳細な説明は、単なる例示のために提供されており、説明された回路、構造、構成およびプロセスに対する多くの変形形態が、本発明の範囲から逸脱することなく可能である。たとえば、好適な実施形態のメモリシステムは、PCMCIA、スマートメディア（R）、SD、MMCまたはコンパクトフラッシュ（R）のような業界標準インターフェースカード、あるいはカスタムインターフェースカードにおいて用いるための取出し可能なメモリモジュールといった意味合いで主に説明される。しかしながら、多くの他の応用形態が可能であることは容易に理解されるであろう。本発明のメモリ構造は、たとえば、パーソナルデジタルアシスタント（PDA）等のワンタイムプログラマブル（OTP）メモリを提供する機器において具現化され得る。したがって、取出し可能なメモリモジュールのコストを削減するために、メモリは制御回路から分離するように説明されるが、他の応用形態において、一体化された構造を用いてもよい。たとえば、制御回路は、組み込み型、または取り外し可能型のいずれかのメモリを有する機器において具現化され得る。代案として、制御回路は、メモリモジュールパッケージに、たとえば、モジュール内の付加的な層として組み込まれる。これは、非常に大きな（および比較的高価な）メモリモジュールが構成され、制御回路コストが全モジュールコスト、または設定予定の販売価格のうちの

小さな割合しか占めない場合に適しているかもしれない。

【0117】またメモリモジュールの構造も、本発明の原理を保持しながら、多くの実現可能な変形形態を有する。説明された実施形態では、各層上に1つのメモリアレイが製作され、複数の層が位置合わせされて、互いの上に積重ねられる。代替では、各層が2つ以上のメモリアレイを含むことができ、複数の層が、折りたたまれたスタックのような、異なる態様で積重ねられることもできる。また、実施形態によっては、1つの基板上に多数の回路層を築き上げて製造することが有利な場合もある。

【0118】本発明の原理は、特許請求の範囲によって規定されるような本発明の範囲から逸脱することなく、本明細書に記載される回路、構造、配置およびプロセスに対する多くの他の変形形態で適用され得ることは当業者には理解されるであろう。

【0119】以下においては、本発明の種々の構成要件の組み合わせからなる例示的な実施形態を示す。

1. 誘電体基板材料 (50) 上に形成される交点メモリアレイ (25) からなるデータ記憶装置 (22) であって、前記交点メモリアレイが、少なくとも1つの半導体層 (72) を含む記憶層 (75) によって分離される第1および第2の組の横断電極 (502、504) を含み、前記記憶層が、前記第1および前記第2の組からの電極の各交点において不揮発性メモリエレメント (26) を形成し、各メモリエレメントが、前記メモリエレメントを介して所定の電流密度の形の書き込み信号を加えることにより、それぞれ二値データ状態を表す、低インピーダンス状態と高インピーダンス状態との間で切替え可能であり、各メモリエレメントが、少なくとも前記低インピーダンス状態である限り、前記記憶層内に形成されたダイオード接合 (66) を含む、データ記憶装置。

2. 前記誘電体基板がポリマー材料 (501) である、上記1に記載のデータ記憶装置。

3. 前記記憶層が、前記ポリマー基板材料の処理温度より低い温度で処理することができ材料から形成される、上記2に記載のデータ記憶装置。

4. 前記誘電体基板が、ポリイミド、ポリエーテルスルホン (PES)、ポリアクリレート (PAR)、ポリエーテルイミド (PEI)、ポリエチレンナフタレート (PEN)、ポリエチレンテレフタレート (PET)、ポリエステルテレフタレート、ポリト랄フルオロエチレン (PTFE)、ポリカーボネートおよびポリ塩化ビニル (PVC) から選択される材料である、上記2に記載のデータ記憶装置。

5. 前記基板が、その上に誘電体材料のコーティングを有する金属フィルムからなる、上記1に記載のデータ記憶装置。

6. 前記記憶層の少なくとも1つの半導体層が、有機半導体材料から形成される、上記1に記載のデータ記憶装置。

置。

7. 前記有機半導体材料が、銅フタロシアニン (CuPc)、PTBCI (ペリレン-3, 4, 9, 10-テトラカルボキシリククビス-ベンゾジミダゾール)、PTCDA (ペリレン-3, 4, 9, 10-テトラカルボキシリクジアンハイドライド)、BTQBT [ビス (1, 2, 5-チアジアンゾール) -p-フェノール (1, 3-ジチオール)]、TPD (N, N'-ジフェニル-N, N'-ビス (3-メチルフェニル) 1-1' ビフェニル-4, 4'-ジアミン)、α-NPD (4, 4'-ビス (N-(1-ナフチル)-N-フェニルアミノ] ビフェニル) およびTPP (5, 10, 15, 20-テトラフェニル-2, 3, 6, 7-ホルフィン) から選択される、上記6に記載のデータ記憶装置。

8. 前記記憶層の前記少なくとも1つの半導体層が、アモルファス無機半導体材料から形成される、上記1に記載のデータ記憶装置。

9. 前記第1および第2の組のメモリアレイ電極に結合されるアドレス復号回路 (30) をさらに含み、前記アドレス復号回路が、前記第1および第2の組の電極をそれぞれアドレス指定するための第1および第2の組の入力線 (510, 514) を有する、上記1に記載のデータ記憶装置。

10. 前記第1および第2の組の入力線が、ダイオードエレメント (152, 154) を介して、前記第1および第2の組のメモリアレイ電極のうちのそれぞれ選択された電極に結合される、上記9に記載のデータ記憶装置。

11. 前記第1および/または前記第2の組のメモリアレイ電極それぞれへのダイオード接続 (272) を有する少なくとも1つのデータセンス線 (274) をさらに含む、上記10に記載のデータ記憶装置。

12. 前記第1および第2の組のメモリアレイ電極が、前記記憶層によって分離される別個の層内に形成され、前記第1および前記第2の組の入力線が、それぞれ前記第2および前記第1の組の電極と同じ層内に形成される、上記10に記載のデータ記憶装置。

13. 前記第1および第2の組の入力線が、前記記憶層によって分離される、前記第1および第2の組のメモリアレイ電極をそれぞれ横切るように配置され、それぞれの入力線と電極との間の選択されたダイオード接続が、その交点にある前記記憶層によって形成される、上記12に記載のデータ記憶装置。

14. 前記第1および第2の組のメモリアレイ電極に結合された電源ストライピング回路 (608) をさらに含む、上記9に記載のデータ記憶装置。

15. 前記電源ストライピング回路が、各抵抗エレメント (606) を介して結合され、かつ選択的な電源ストライプ線 (608a, 608b) にグループをなしてともに結合される電極の端部を含む、上記14に記載のデータ記憶装置。

16. 前記第1および/または前記第2の組のメモリアレイ電極それぞれへのダイオード接続(274)を有する少なくとも1つのデータセンス線(272)をさらに含む、上記15に記載のデータ記憶装置。

17. メモリモジュール(20)であって、上記1に記載されるようなデータ記憶装置をそれぞれ有する複数のモジュール層(22)からなる、メモリモジュール。

18. メモリモジュール(20)であって、上記11に記載されるようなデータ記憶装置をそれぞれ有する複数のモジュール層(22)からなる、メモリモジュール。

19. メモリモジュール(20)であって、上記16に記載されるようなデータ記憶装置をそれぞれ有する複数のモジュール層(22)からなる、メモリモジュール。

20. 前記モジュール層が、ともに積層されてブロック(460)を形成し、各モジュール層の前記第1および第2の組の入力線、前記少なくとも1つのセンス線および前記電源ストライプ線との相互接続を行うために、前記ブロックの少なくとも1つの外面上に電気的接点(462)が設けられる、上記19に記載のメモリモジュール。

21. 前記複数のモジュール層のそれぞれからの対応する入力線が、前記メモリモジュール内の前記メモリアレイを並列にアドレス指定するために、アドレス接点に並列に接続される、上記20に記載のメモリモジュール。

22. 単一パッケージ(460)内に形成された複数のメモリアレイ(25)を備えるメモリモジュール(20)であって、各メモリアレイが、共通の非揮発性基板(50)上に製作された不揮発性交点メモリアレイ(25)およびアドレス復号回路(30)からなるメモリモジュール。

23. 前記各メモリアレイ回路が、少なくとも1つの半導体材料層(72、74)を含む記憶層(75)によって分離される、第1および第2の層(70、76)の横断導体線路から形成される、上記22に記載のメモリモジュール。

24. 前記各メモリアレイ回路のメモリアレイが、メモリアレイマトリクス(25)からなり、各メモリアレイマトリクス(25)の交点における前記第1および前記第2の層からの導体線路の部分と、それらの間にある前記記憶層の一部とを重ね合わせることで形成される、上記23に記載のメモリモジュール。

25. 前記各メモリアレイマトリクスが、前記メモリアレイマトリクスを介して所定の電流密度の形の書き込み信号を加えることにより、各二値データ状態を表す、低インピーダンス状態と高インピーダンス状態との間で切り替えられることができ、前記各メモリアレイマトリクスが、少なくとも前記低インピーダンス状態である限り、前記記憶層内に形成されたダイオード接合(66)を含む、上記24に記載のメモリモジュール。

26. 前記各メモリアレイ回路のアドレス復号回路が、交点において、前記第1および第2の層からの導体線路の重なり合う部分の間の前記記憶層を介して形成される、選択

されたダイオード配線(152、154)を含む、上記25に記載のメモリモジュール。

27. 前記メモリモジュールが複数のモジュール層から構成され、各モジュール層が前記複数のメモリアレイ回路のうちの少なくとも1つを有する、上記26に記載のメモリモジュール。

28. 前記モジュール層がともに積層されてブロック(460)を形成し、前記メモリアレイ回路の導体線路との相互接続を行うために、前記ブロックの少なくとも1つの外面上に電気的接点(462)が設けられる、上記27に記載のメモリモジュール。

29. 複数のモジュール層の前記アドレス復号回路への入力とともに、外部の電気的接点に並列に結合される、上記28に記載のメモリモジュール。

30. メモリシステムであって、上記28に記載されるメモリモジュール(20)と、及びデータ処理装置(2)との相互接続のために適合したインターフェースカード(10)とからなり、前記インターフェースカードが、前記メモリモジュールに対するアドレス指定、書き込みおよび読出しのための制御回路(14)と、前記メモリアレイ回路を収容し、かつ外部の電気的接点を介して前記制御回路と前記メモリアレイとを相互接続するように適合されたメモリアレイインターフェース(16)とを含む、メモリシステム。

31. デジタルデータメモリシステムであって、単一のパッケージ(460)内に形成される複数の不揮発性交点メモリアレイ(25)を有するメモリモジュール(20)と、及びデータ処理装置(2)との相互接続のために適合したインターフェースカード(10)とからなり、前記インターフェースカードが、前記メモリモジュールに対するアドレス指定、書き込みおよび読出しのための制御回路(14)と、前記メモリアレイ回路を収容し、かつ前記制御回路と前記メモリアレイとを相互接続するように適合したメモリアレイインターフェース(16)とを含む、デジタルデータメモリシステム。

【0120】

【発明の効果】 本発明により、デジタルカメラおよび他のポータブル機器に使用できる低コストのデータ長期保存用記憶装置が提供される。

【図面の簡単な説明】

【図1】 本発明の一実施形態によるライトワンスメモリシステムのブロック図である。

【図2】 ライトワンスメモリシステムのメモリアレイの全体的な構造を示す、ライトワンスメモリシステムのブロック図である。

【図3】 本発明の一実施形態にしたがって構成されるライトワンスメモリシステムの切開等角図である。

【図4】 本発明の一実施形態によるライトワンスメモリシステム内の層の組立分解図である。

【図5】 メモリモジュールに組み立てる前のメモリアレイ

ュール層の簡略化した平面図である。

【図6】断面X-Xに沿って見た、図5のメモリモジュール層の断面図である。

【図7】本発明の実施形態の実施に適した交点メモリエメントの絵画図である。

【図8】交点メモリエメントの単位セルの簡略化した平面図である。

【図9】ライトワンスメモリアレイのメモリエメントのアドレス指定を例示するためのライトワンスメモリアレイを示す図である。

【図10】メモリアレイアドレス指定回路の一部の概略的な回路図である。

【図11】置換済みのダイオードロジックアドレス指定回路接続が概略的に示される交点メモリアレイを示す図である。

【図12】メモリアレイのための、置換済みのダイオードロジックマルチプレックス/デマルチプレックス (mux/demux) およびセンシング回路の概略的な回路図である。

【図13】交点メモリアレイ、ならびに関連するアドレス指定およびセンシング回路要素の概略的なレイアウト図である。

【図14】メモリモジュール層の簡略化したブロック構成のレイアウト図である。

【図15】メモリアレイの一部およびアドレス指定/センシング回路の概略的なレイアウト図である。

【図16】本発明の実施形態において用いるためのメモリモジュール層構造の切開等角図である。

【図17】例示的なエンボス/リフトオフ層製作プロセスの段階を示す図である。

【図18】例示的なエンボス/リフトオフ層製作プロセスの段階を示す図である。

の段階を示す図である。

【図19】例示的なエンボス/リフトオフ層製作プロセスの段階を示す図である。

【図20】例示的なエンボス/リフトオフ層製作プロセスの段階を示す図である。

【図21】例示的なエンボス/リフトオフ層製作プロセスの段階を示す図である。

【図22】例示的なエンボス/リフトオフ層製作プロセスの段階を示す図である。

【図23】例示的なエンボス/リフトオフ層製作プロセスの段階を示す図である。

【図24】メモリ回路副層組み立てプロセスの段階を概略的に示す図である。

【図25】メモリ回路副層組み立てプロセスの段階を概略的に示す図である。

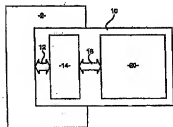
【図26】メモリ回路副層組み立てプロセスの段階を概略的に示す図である。

【図27】メモリモジュール製作プロセスの概略図である。

【符号の説明】

- 2 データ処理装置
- 10 メモリカード
- 14 インターフェースおよび制御回路
- 16 内部インターフェース
- 20 メモリモジュール
- 22 メモリモジュール層
- 25 メモリアレイ
- 26 不揮発性メモリエLEMENT
- 30 mux 回路
- 50 基板

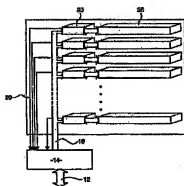
【図1】



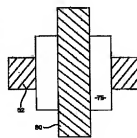
【図6】



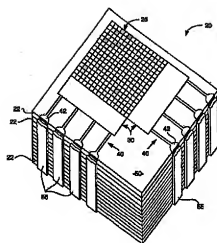
【図2】



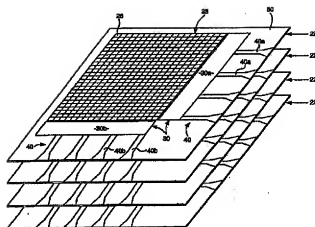
【図8】



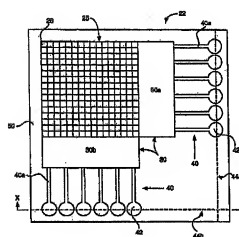
【図3】



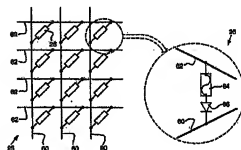
【図4】



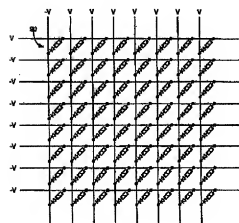
【図5】



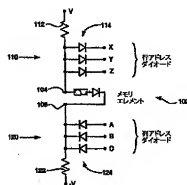
【図7】



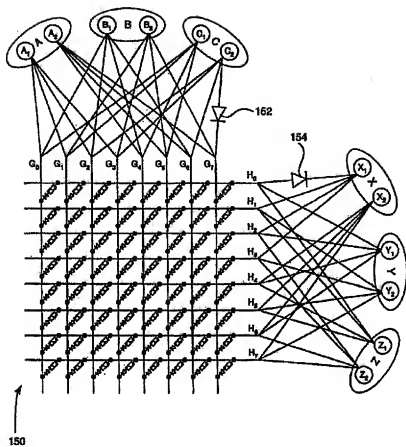
【図9】



【図10】



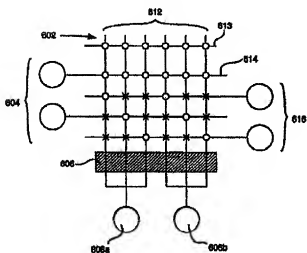
【圖 11】



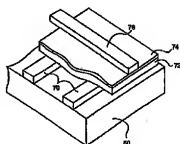
【圖 26】



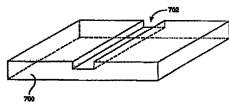
【圖 15】



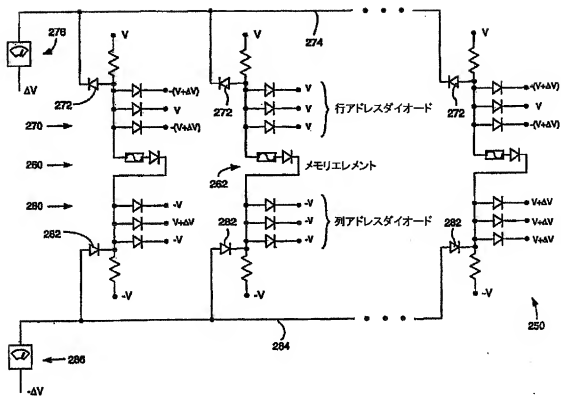
【圖 16】



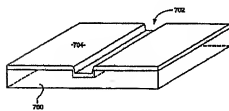
【圖 17】



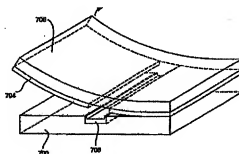
【図 12】



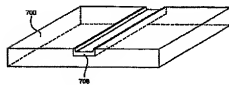
【図 18】



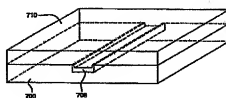
【図 19】



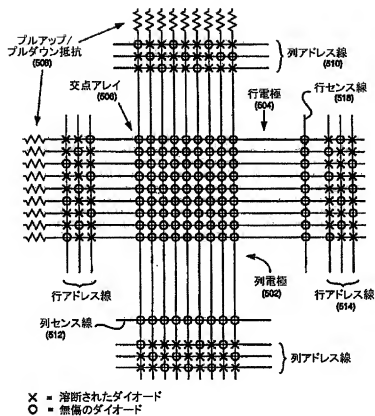
【図 20】



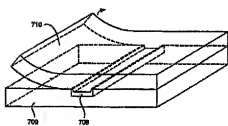
【図 21】



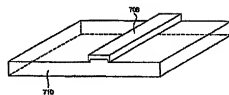
【図 1 3】



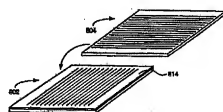
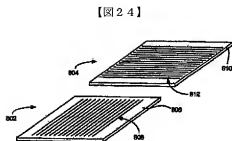
【図 2 2】



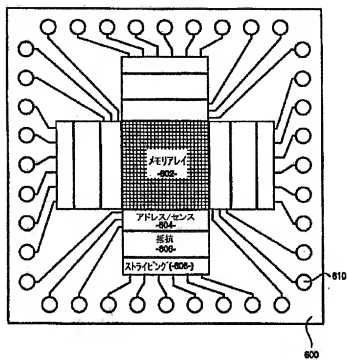
【図 2 3】



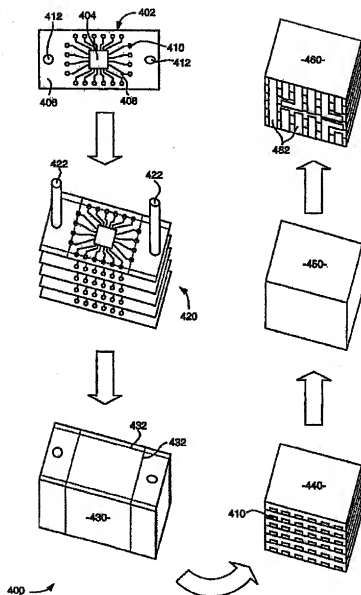
【図 2 5】



【図14】



【図 27】



フロントページの続き

(72)発明者 クレイグ・バーロフ
アメリカ合衆国カリフォルニア州94402,
サンマテオ, ツリートップ・レーン・46
(72)発明者 キャロル・ウィルソン
アメリカ合衆国カリフォルニア州95130,
サンノゼ, メンデンホール・ドライブ・
1707

(72)発明者 カール・タウシグ
アメリカ合衆国カリフォルニア州94061,
レッドウッド・シティ, アラメダ・デ・
ラ・バルガス・2295
Fターム(参考) 5B025 AA07 AB03 AC02 AD04 AE00
AE05 AE08